

第1章

PLL回路と位相雑音の基礎知識

～PLL回路を構成する回路ブロックと、そこから発生する位相雑音のふるまい～



安定した発振周波数を得るために、高周波の世界ではPLL(Phase Locked Loop)技術が多く使われています。PLL回路を周波数シンセサイザとして動かすと、新たな周波数を合成(シンセサイズ)して高精度な出力周波数を作り出せます。しかし、合成できるのは周波数だけではありません。発振器の位相雑音を合成して、発振器単体よりロー・ノイズ化することもできます。

本章では、高精度が得られるPLL回路の動作原理と、位相雑音がどのように発生するのかという2点について解説します。



PLL回路の基礎知識を深めよう

● PLL周波数シンセサイザはいくつかの周波数を切り替えたいときに使う

無線関連の電子回路では、局部発振器として、いくつかの周波数の切り替えが必要です。例えば、テレビの受信器ではそのチャンネルの数だけ発振器が必要ですが、それをひとつひとつ準備するのは大変です。このようなときに使われるのが、本書でとりあげるPLL周波数シンセサイザと呼ばれる回路です。

発振器にはいろいろな形式がありますが、とくにPLL周波数シンセサイザが使われる理由は何でしょうか。

● 水晶振動子の精度で任意の高周波を作れる

水晶発振器を使えば正確な周波数を作ることができますが、得られる周波数は限定された範囲です。逆に、高い周波数の発振器を作ることではできても、正確で安定な周波数を得るのは困難です。

PLL周波数シンセサイザは、これらのたがいの弱点を補って、水晶振動子の精

度を保ったまま、任意の周波数を選択できる自由度をあわせもつ回路です。

● 注目度が増している PLL の技術

携帯電話、パソコン、無線LAN、GPS、デジタルテレビ放送などは、私たちの生活を快適にしています。

それらの進展には「PLL(Phase Locked Loop)周波数シンセサイザ技術があったからだ」と言っても決して過言ではありません。

古くは複数のICを組み合わせて作らなければならなかったPLL周波数シンセサイザですが、今では分周器や位相比較器を一体化したLSIが登場し、超小型化され、数GHzの周波数シンセサイザを少ない部品点数で構成できる時代になっています。

無線システムのさらなる進化とPLLの他分野への応用が加速されるなか、必要十分な性能とコスト効率を提供するPLL周波数シンセサイザへの取り組みに対する関心も非常に高まっています。

● 設計には多様な知識と技術が必要になる

しかしながら、PLL周波数シンセサイザの設計は難解です。特に、高周波領域でのロー・ノイズ設計になると、さまざまな分野の知識が必要となります。なお、本書でいうノイズとは位相雑音のことで、周波数に対するノイズです。後に詳しく説明します。

PLL設計に必要な知識をおおまかに列挙すると以下になります。

- (1) 高周波発振回路(VCO)
- (2) 高周波アンプとミキサ回路
- (3) 低位相雑音の発振回路(VCXO)
- (4) 分周回路とロジック・カウンタ
- (5) 位相比較回路
- (6) フィルタ(OPアンプ回路を含む)
- (7) 負帰還回路理論

高周波からロジック、そして負帰還回路理論に至るまでの幅広い知識が必要です。

現在のLSI化された周波数シンセサイザ用のPLL ICでは、分周器や位相比較器は内蔵されており、直接目に触れることはありません。

しかし、PLLの最適化設計を目指すには、これらPLLを構成する回路技術の基本知識が不可欠となります。

第2章

基準信号発振器の設計と特性

～高精度の要で低位相雑音/高安定が要求される基準信号の選び方と作り方～



PLL周波数シンセサイザを動作させるのに必要な発振器は二つあります。基準信号源の発振器とループ内に含まれる電圧制御発振器です。

まずは基準信号源の発振器の製作を目指し、基準信号源に要求される特性と基準信号源に使われる発振器を紹介します。

設計する基準信号源は、周波数の微調整が可能な水晶発振器であるVCXOを選びます。最も一般的に使われるからです。

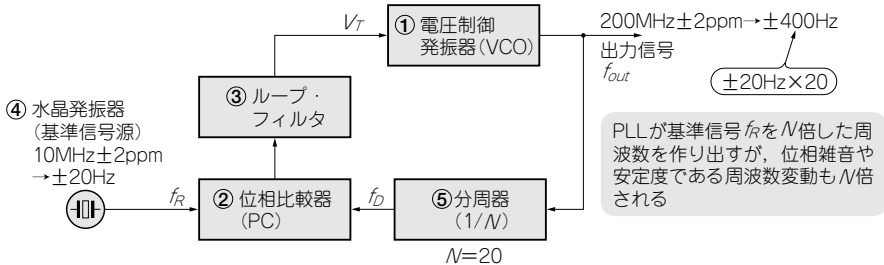


基準信号源に要求される特性

図2-1に、基準信号源(リファレンス)に水晶発振器を用いたPLL周波数シンセサイザの基本回路を示します。

ここで、分周数 N を20、基準信号 f_R となる水晶発振器の発振周波数を10MHzとします。PLLが形成されると $f_R = f_D$ が成立し、PLL出力 f_{out} には、基準信号の20倍の周波数である200MHzが出力されます。

【図2-1】 基準信号源に水晶発振器を用いたPLL周波数シンセサイザ



● カットオフ周波数より低いオフセット周波数での位相雑音は基準信号の N 倍

第1章の図1-14で解説したように、PLLがもつ負帰還ループのカットオフ周波数より低いオフセット周波数での出力位相雑音は、基準信号源である水晶発振器の位相雑音を N 倍した値になります。したがって基準信号源に使う水晶発振器の位相雑音は重要です。

● 出力周波数の安定度も基準信号で決まる

PLL周波数シンセサイザ出力の周波数安定度は、基準信号源の安定度で決まります。周波数安定度が動作温度範囲において ± 2 ppmの基準信号を使うと、PLL周波数シンセサイザの出力でも ± 2 ppmの安定度となります。ppmとはparts per millionの略で、 10^{-6} を示す単位です。

例えば、図2-1で、基準信号源の10 MHz水晶発振器に周波数温度特性が動作温度範囲 $-10\sim 60^{\circ}\text{C}$ で ± 2 ppmのものを使ったとします。

10 MHzの ± 2 ppmですから、基準信号源の温度特性は ± 20 Hzとなります。

分周数 $N=20$ で出力周波数が200 MHzとすると、 ± 20 Hzの温度特性も20倍されるので、出力周波数200 MHzでの温度特性は ± 400 Hzとなります。比で表せば、 $400\text{ Hz}/200\text{ MHz}=2\times 10^{-6}$ 、すなわち ± 2 ppmの温度特性になります。

● 基準信号源として重要なのは安定度と位相雑音

基準信号源の特性がPLL周波数シンセサイザの出力に現れるのが上記二つの特性です。逆に言えば、周波数安定度と位相雑音、この二つの特性が基準信号源に要求される特性です。

基準信号源に使える水晶発振器

● どのような水晶発振器が使えるか

高周波のPLL周波数シンセサイザを設計するとき、基準信号源として用いられる水晶発振器は、以下の三つが代表的です。

- ① VCXO (Voltage Controlled Crystal Oscillator)
- ② TCXO (Temperature Compensated Crystal Oscillator)
- ③ OCXO (Oven Controlled Crystal Oscillator)

第3章

LC発振回路設計の基礎

～低位相雑音のVCOを作るために共振回路のふるまいを理解する～



PLL回路が出力する信号の純度を高くするには、発振器の位相雑音を小さくすることが必要です。位相雑音の小さな発振器を設計するには、第1章のLeeson式で解説したように、共振のするどさを示す Q を高くすることが重要です。

LC共振回路について良く理解し、 Q のふるまいを十分に把握していなければ、高い Q をもつ発振回路を作ることはできません。本章では、RFシミュレータを用いて発振回路を高 Q に設計するための基礎を解説します。



● 面倒な計算をせずシミュレーションを利用する

高周波の発振回路を設計するには、いくつかの伝統的な手法があります。しかし、それらの方法を使うには、等価回路を導き、複雑な数式を解かなければなりません。その面倒を避けるために、シミュレータを用いることにします。

解析にはS-NAP LE⁽¹³⁾⁽¹⁴⁾を用います。評価版のためノード数などの制限があり、素子数の多い大規模な回路は扱えませんが、基本的な解析には十分です。

● 発振器の設計にはRFシミュレータを使うと便利

シミュレーションを利用する前の私は、発振余裕度と位相雑音が最適となる定数を見つけるのに、ひたすら値を変更して実験を繰り返していました。俗に言うチェンジニアです。シミュレータの登場で、なぜその値にしたのか、今になって納得しています。

オープン・ループ法では、ループを切り離れた点でのミスマッチによるゲイン低下などを考慮していないので、実際の回路とシミュレーションとの間に、原理的な誤差があります。ミスマッチを含む解析方法など、より改良されたさまざまな発振

器シミュレーション手法が考案されています。

しかし、各定数を変更したときの各特性の傾向は、オープン・ループ法でもしっかりと把握できます。

私が発振器を設計するときには、オープン・ループ法によるシミュレーションが不可欠となっています。

● 広帯域のVCOを設計するのは難しい

本来は「出力周波数180 M～360 MHzの広帯域PLL周波数シンセサイザ」に用いるVCOの設計法を解説したいのですが、残念ながら困難です。

広帯域VCOの場合、最良の設計をするためには、シミュレーションだけではうまくいきません。実際の回路の実験結果とシミュレーション結果を照らし合わせながら、試行錯誤を繰り返すのが一般的です。この過程は、うまく順序だてて説明できません。

そこで、制限を甘くした、180 M～220 MHzの発振帯域をもつVCOの設計を解説します。

200 MHz帯以下なら、コイルやコンデンサなどの素子の等価回路が単純ですむ場合が多く、理論と実測がよく一致します。そのため、設計法をわかりやすく解説できます。

発振器をアンプとフィルタに分けて解析する

第2章では、10 MHzのVCXOをオープン・ループ法で設計しました。VCOの設計でも、同様にオープン・ループ法を使います。

VCXOの場合には、水晶という振動子が準備されていました。それに対してVCOでは、バラクタで共振周波数を可変するLC共振回路を高いQが得られるように設計する必要があります。

● 解析しやすい等価回路を導く

トランジスタを使った発振回路にはいくつかの形式があり、また接地方法の違いもあります。

▶ 二つの発振回路を例として取り上げる

高周波のLC発振器にはコルピッツ型がよく用いられます。本書もコルピッツ型を使います。

第4章

VCOの設計と特性

～発振周波数を可変にすることで増加する位相雑音をできるだけ抑えるには～



PLL回路のノイズ源は主に基準信号発振器とVCOです。高性能なPLL回路を目指す時、基準信号発振器は専用メーカーのモジュールを購入するのが現実的です。ところが、VCOはむしろ目的にあわせたものを自作するほうが良いこともあります。

自分で設計するにしろ、購入したモジュールを使うにしろ、ロー・ノイズを目指すならば、どこからノイズが発生するのかを把握して、ノイズを悪化させないように使わなければいけません。

発振器の基礎については第3章で解説したので、本章では高周波VCOに関してより具体的な設計方法や使い方のポイントを解説します。



本章では、PLL周波数シンセサイザの性能を大きく左右する心臓部「電圧制御発振器(VCO)」の設計にチャレンジします。PLL周波数シンセサイザの低雑音化の鍵となる部分です。

現在、高周波の発振器は単独で用いられることは少なく、多くはPLLに組み込まれています。PLLに組み込むためには発振周波数を電圧によって制御する必要があり、電圧制御発振器(VCO: Voltage-Controlled Oscillator)となります。

VCOに要求される特性

電圧制御発振器VCOの理想はどのようなものかを書き出してみましょう。

- ①発振する周波数範囲が広い(広帯域である)
- ②感度が高く直線性に優れる(制御性に優れる)
- ③低位相雑音で周波数安定度が良い(高純度)
- ④周波数の切り替えスピードが速い(セッティング時間が短い)

- ⑤出力パワーが大きく周波数特性もよい
- ⑥低消費電力である
- ⑦小型軽量である

これらの性能は互いにトレード・オフの関係となることが多く、両立させる設計は非常に困難です。

● 広帯域と低雑音の両立を目標とする

VCOに使う共振器にはさまざまなものがあります。コイルとコンデンサ、マイクロストリップ線路、誘電体同軸線路、表面弾性波(SAW)共振子、そして水晶振動子などいろいろです。

▶どんな共振器を使っても設計方針は同じ

どの共振器を使おうとも、発振周波数帯域と位相雑音特性はトレードオフの関係にあります。そのトレードオフのなかで、いかに広い帯域をとりつつ低位相雑音を達成するかが、高性能な電圧制御発振器を作る鍵です。その基本設計はすべての発振器に共通しています。

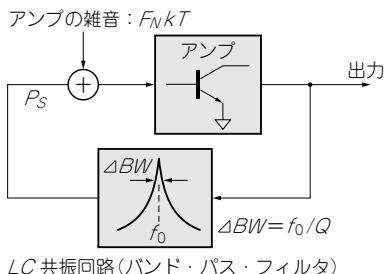
広帯域特性を兼ね備えた低雑音VCOを作るために必要なもの

図4-1に、LC発振器モデルを示します。

第1章では、このモデルとLeeson式を使って、発振器の動作原理と位相雑音の関係について定量的な考察をしました。

今回はそれに加え、広帯域で発振させるためには何が必要であるかを考えてみましょう。

[図4-1] LC発振器モデル



第5章

位相比較器の設計と特性

～位相や周波数を比較して、その差に比例した電圧/電流を出力するしくみ～

本章では、「位相を比較する」という動作がどのようなことかを解説します。最近では、PLL用ICの中に構成されている位相比較器を使うことがほとんどです。この場合、位相差に加えて、周波数差も検出できる回路が使われているので、そのしくみも解説します。

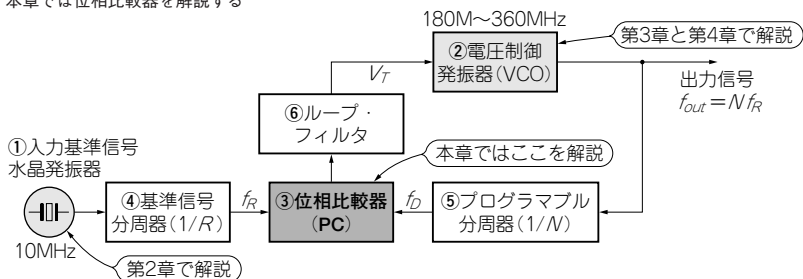
位相比較器の入出力がどのような関係にあるかを把握すれば、ループ・フィルタの設計に必要な位相比較器の感度 K_P が求められます。

図5-1に、PLL周波数シンセサイザの基本構成を示します。本章では、図の③に示す位相比較器の設計と製作を行います。PLL(Phase Locked Loop)という名に位相(phase)が含まれることからわかるように、位相比較器は文字どおりPLLの中心を成すブロックです。

位相比較器は、PLL用ICに内蔵されたものを使う場合が一般的です。PLL用ICは、位相比較器のほか基準信号分周器、プログラマブル分周器などがワンチップにまとめられています。しかし、本書では位相比較器も分周器も、ディスクリートの部品で設計/製作します。基本的な動作を実際に目で見て確かめるためです。

[図5-1] PLL周波数シンセサイザの基本構成

本章では位相比較器を解説する



PLLの基本動作を確実に自分のものにできれば、高性能なPLLの設計に役立てることができるでしょう。

● 二つの信号の位相差を出力する回路が位相比較器

位相比較器とは、二つの信号AとBを入力とし、A-B間の位相差に応じた信号を出力する回路です。位相比較器PC(Phase Comparator), または位相検波器PD(Phase Detector)と呼ばれています。本書では、位相比較器と呼びます。

二つの入力信号の位相差が 90° のときに出力電圧が0Vとなるものと、入力の位相差が 0° のときに出力電圧が0Vとなるものの、二つのタイプがあります。PLLに用いられている代表的な位相比較器の動作原理を調べてみましょう。

ミキサ型を例にして位相比較器の動作を理解する

● 古典的な位相比較器のほうが理解しやすい

私が高周波でのPLL周波数シンセサイザの設計を始めた1970年代後半の頃、高周波PLL用の位相比較器は、ミキサ(mixer)を用いたアナログ位相比較器が主流でした。ミキサとは、二つの信号の掛け算結果を出力する回路のことです。

この方式は、今では用いる機会が少なくなりました。しかし、超低雑音を必要とするPLLや位相比較周波数が高いPLLには、今でも用いられています。

このミキサ方式を説明する理由は、「位相差」の概念や「位相差を検出する」という動作を理解するのに役立つからです。

● ミキサの乗算機能により新たな周波数成分が生まれる

ミキサに周波数 f_1 と f_2 の二つの信号を入力すると、和($f_1 + f_2$)と差($f_1 - f_2$)の周波数成分をもった信号を作り出せます。ミキサが乗算器だからで、三角関数の積和公式そのものです。

ミキサの一般的な使い方は、この動作を使って、周波数を上げたり下げたりすることです。しかし、乗算器であるミキサの動作は、それだけではありません。

● 乗算器であるミキサは位相差の検出もできる

乗算器であるミキサの二つの入力に周波数が同じ信号を入力すると、ミキサの出力は、その二つの信号間の位相差によって変化します。

図5-2には、ミキサ型アナログ位相比較器の構成を示します。ミキサのRFポー

第6章

分周器の設計と特性

～周波数を自由に設定するために $1/N$ の周波数を作るしくみ～



PLL周波数シンセサイザが作り出す周波数は、水晶発振器の周波数を $1/R$ して基準信号を作り、それを N 倍することで決まります。 R と N は分周器の分周数です。

本章では、この分周器の動作を解説します。分周器はカウンタ回路(計数回路)によって構成されるので、まずカウンタ回路の基本動作を把握しましょう。そして、PLLの出力周波数を可変にするプログラマブル分周器のしくみを調べていきます。

次に、高周波でPLL周波数シンセサイザを動かすときに必要な分周器の構成について解説します。最後に、最近のPLL専用ICに搭載されている、より高性能な分周器について解説します。

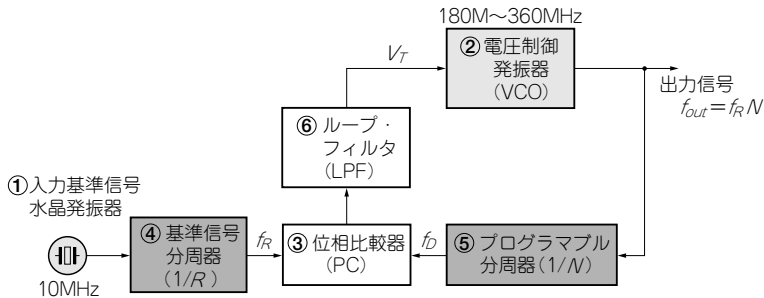


図6-1に、PLL周波数シンセサイザの基本構成を示します。

本章では、④と⑤に示す分周器を解説します。

[図6-1] PLL周波数シンセサイザの基本構成

本章では④と⑤の分周器を解説する



高周波PLL回路には分周器が三つ使われる

図6-2に示すのは、高周波を扱えるPLL周波数シンセサイザの基本構成です。例として設計/製作しているPLL周波数シンセサイザもこの形です。

高周波PLL周波数シンセサイザの分周器は、

- Ⓐ リファレンス分周器(基準信号分周器)
- Ⓑ プログラマブル分周器
- Ⓒ プリスケーラ分周器

の三つで構成されるのが基本です。

● 出力周波数と分周数の関係

図6-2のPLL周波数シンセサイザの出力周波数と各分周器の分周数との関係を見てみましょう。

PLLが構成されると $f_R = f_D$ が成り立つので、基準信号である水晶発振器の周波数を f_X とすると、出力周波数 f_{out} は、式(6-1)で表されます。

$$f_{out} = \frac{NP}{R} f_X \dots\dots\dots (6-1)$$

ただし、 R ：リファレンス分周器の分周数、 N ：プログラマブル分周器の分周数、 P ：プリスケーラ分周器の分周数

[図6-2] 高周波PLL周波数シンセサイザには三つの分周器がある
プログラマブル分周器の動作周波数には限界があるので多くの場合はこのような構成が必要になる

