

第1章

イントロダクション

無線通信産業が爆発的に成長したため、通信回路とそのアーキテクチャに関する研究には大きな注目が集まっています。低コスト、低電圧、低電力設計が重要な課題であり、そのおかげで必要な性能と経済的な大量生産を両立させることが可能になります。最近では、通信機器を構成する種々の回路素子を集積化することが重要視されています。

最新の通信機器は、広い範囲の周波数で動作しなければなりません。水晶発振器は高いスペクトル精度を備えていますが、広範囲の周波数には使うことができません。したがって、最新の通信機器には何らかの周波数合成技術が使われています。

1.1 周波数合成

一般に、周波数シンセサイザは、図 1-1 に示すように外部から非常に安定した基準周波数信号 (f_{ref}) を受け取り、周波数コマンド・ワード (FCW) にしたがって周波数を生成する能動的な電子デバイスを指します。出力周波数の安定性、正確



図 1-1 周波数合成

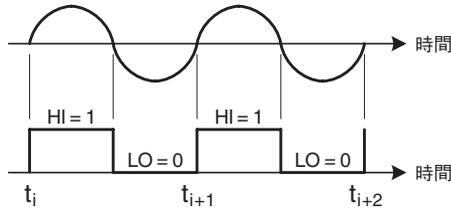


図1-2 ありうるシンセイザの出力(正弦波とデジタル波形)

性，スペクトル精度は入力される基準周波数の性能に依存し，希望する出力周波数は次式のように周波数コマンド・ワードの倍数(一般には実数)になります。

$$f_{out} = FCW \cdot f_{ref} \dots\dots\dots (1-1)$$

興味深いことに，この式では合成出力の波形を指定していません。出力波形は，正弦波であっても方形波であってもかまわないのです(図1-2)。周波数と位相に関する情報は，正弦波の場合にはどちらも時間的に連続な波形の中に，また方形波の場合にはエッジの遷移時間の中にあります。方形波のデジタル信号の方が，CMOS プロセス技術で使用するには明らかに有利です。

1.1.1 発振器のノイズ

発振周波数が ω_c の理想的な発振器では，図1-3に示すようにすべての電力が周波数 ω_c に集中しています。しかし実際の発振器では， ω_c 近傍の周波数に電力が拡散しています。

発振器のこの拡散を位相ノイズと呼びます。送信器における位相ノイズは，隣接する周波数帯に干渉を与えることがあります。受信器の局部発振器では，位相ノイズは選択度を狭めることがあります。

一般に位相ノイズは，周波数領域で評価されます⁽⁴⁾⁽⁵⁾。発振周波数が ω_c の理想的な発振器において，電圧出力を $v(t) = A \cos(\omega_c t + \phi)$ と表現します。ここで， A は振幅であり， ϕ は任意に固定された基準位相です。電力は単一周波数 ω_c に集中しています。これは電力スペクトルが， $S_v(\omega) = (A^2/2) \delta(\omega - \omega_c)$ となることと等価です。ここで， δ は単位インパルスで，ディラックのデルタ関数です。

しかし，実際の発振器では振幅も位相も時間によって揺らぎ，スペクトルはキャリア周波数の周辺でスカート状に広がります。多くの場合，リミッタ回路に

第2章

デジタル制御発振器

第1章の1.1項で述べたように、離散時間発振器の位相と周波数の情報は、理想正弦波である局所的な波形に含まれているのではなく、(立ち上がりや立ち下がり)エッジ遷移の中に含まれています。もし、遷移が任意の振幅の正弦波の上向きのゼロ交差を表すとすれば、これだけで十分な位相情報です。しかし実用上は、デジタル信号は所望する出力信号と同じ周波数でなければならないので、下向きのエッジ遷移は当然のことながら二つの上向きのエッジ遷移の中間点に発生します。

情報理論の立場から見て、これは位相と周波数の情報を含む信号を表現するとても有効な方法です。そしてこれは、第1章の1.4.2項で述べたデジタル・ディープ・サブミクロン CMOS プロセスの根本的な利点、つまり時間領域の分解能が電圧領域の分解能よりも優れているということに適合しています。

ここで示す発振器は、基本となる性質は連続時間でかつ振幅も連続なのですが、そうだとすると離散時間領域で動作するデジタル入力と出力(I/O)だけをもつセルです。これはとても重要なことです。なぜならば、アナログ的な性質がインターフェースのレベルでとどまり、上位のレベルに伝播することを妨げられるからです。そのため、システムのアナログ設計、アナログ・モデリング、そしてアナログ・シミュレーションの制約を非常に単純化できます。類似する例には、フリップフロップ(内部回路がアナログであっても、その基本的な役割はデジタル順序回路)があります。

ここでは、デジタル制御発振器(DCO: Digitally Controlled Oscillator)を、デジタル-周波数変換(DFC: Digital-to-Frequency Conversion)を行うための基本として使っています。その出力は周波数 f の周期的な波形であり、 f は入力

される発振器チューニング・ワード(OTW)の関数となります。

$$f = f(\text{OTW}) \dots\dots\dots(2-1)$$

一般に、デジタル入力を発振周波数に変換する $f(\text{OTW})$ は、非線形関数です。周波数を設定する関数は正確には知られておらず、半導体プロセスの特性のばらつきと環境因子(電圧と温度)によって変動します。周波数の瞬間値は、電源/グラウンドと基板のノイズだけでなく、熱雑音やフリッカ・ノイズのような真にランダムな現象にも依存します。DCO の基本回路構成は最小限の機能だけを実現するものなので、第3章で述べる正規化回路によって調整しなくてはなりません。

また DCO は、上位のブロックが自己較正するために必要な手段も提供します。後述する基本的な DCO は、固定インダクタンスと可変容量を使って実現します。デジタル CMOS プロセスの可変容量は、MOS バラクタ(可変容量ダイオード)を使って効率的に実装することができます。

2.1 ディープ・サブミクロン CMOS プロセスにおけるバラクタ

低電圧のディープ・サブミクロン CMOS 発振器の周波数調整は、きわめて難しい仕事です。その理由は、周波数と電圧の関係がきわめて非線形であり、かつ低電源電圧により電圧の利用余地が小さいためです。

図2-1に、従来の(微細でない)CMOSプロセスとディープ・サブミクロンCMOS

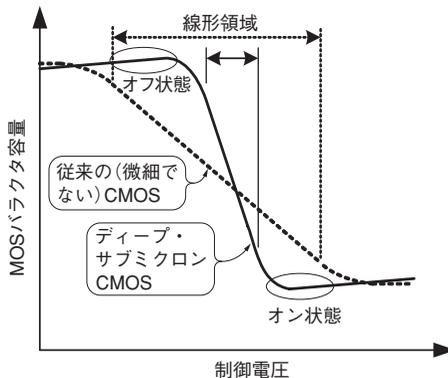


図2-1 従来の CMOS プロセスとディープ・サブミクロン CMOS プロセスでの MOS バラクタの理想的な容量と電圧の関係⁽⁵⁰⁾

第3章

正規化デジタル 制御発振器

第2章で説明したデジタル制御発振器(DCO)は、最小限の機能しか提供していません。そこで本章では、DCOの周辺に構築する回路を紹介します。外部からDCOをコントロールしやすくするために、数学的に抽象化した上位層を追加することがその目的です。

発振器の周波数は、プロセスのばらつきや電圧・温度のような環境因子に依存しますが、それをこの階層に属する正規化回路により追跡・検出します。そこで、本章で述べる発振器をnDCO(normalized DCO, 正規化DCO)と呼びます。

DCOを正規化したブロックには、スプリアス・ノイズのレベルを下げるために、チューニング・ワードを厳密に適用するように制御する回路が含まれます。これをできることが発振器を離散時間領域で動作させることの利点であり、このようなことは従来の連続時間領域での設計では不可能でした。

第2章で述べたように、DCOは離散時間システムとして、最上位のI/Oレベルではカプセル化(内部回路情報の隠ぺい)されています。そして、この考え方は正規化DCOにも拡張することができます。これにより、デジタル・シグナル・プロセッシングの分野から得られる豊富な知識を利用できることになり、大きな利益が得られることになります。

3.1 発振器の伝達関数とゲイン

周波数シンセサイザの中心にDCOがあり、DCOは発振周波数 f_V を発生します。 f_V は、デジタルの発振器チューニング・ワード(OTW)入力に対し、物理的に固有な関数です。関数 $f_V = f(\text{OTW})$ は、第2章の式(2-1)で定義しました。

一般に、 f (OTW) は入力に対して非線形の関数ですが、限定された動作領域では線形伝達関数によって近似することができます。この場合、 f (OTW) のゲインは単に K_{DCO} です。これによって、式(2-1)はさらに線形な形式に書き直すことができます。

$$f_V = f_0 + \Delta f_V = f_0 + K_{\text{DCO}} \cdot \text{OTW} \quad \dots\dots\dots (3-1)$$

ここで、 Δf_V は中心周波数 f_0 からの変位です。

第2章の2.6項で述べたように、 f_0 は各モードに対して調整された中心周波数です。 Δf_V は線形近似を満足するように十分小さくなくてはなりません。

K_{DCO} は、入力の1LSBの変化に対応する、発振周波数 f_V からの周波数変位 Δf_V [Hz] であると厳密に定義されています。したがって、 K_{DCO} は第2章の2.7項における周波数分解能 Δf に等しくなります (K_{DCO} を正確に推定することは、PVT モードやアクイジション・モードではなく、トラッキング・モードにおいて重要)。

線形な動作領域では、DCO ゲインは次のようにも表現できます。

$$K_{\text{DCO}}(f_V) = \frac{\Delta f_V}{\Delta(\text{OTW})} \quad \dots\dots\dots (3-2)$$

DCO ゲインを特定の入力の関数 $K_{\text{DCO}}(\text{OTW})$ として一般化することも可能ですが、限定された範囲では K_{DCO} は入力に対してかなり線形です。

$$K_{\text{DCO}}(f_V, \text{OTW}) = \frac{\Delta f_V}{\Delta(\text{OTW})} \quad \dots\dots\dots (3-3)$$

3.2 DCO ゲインの推定

アナログ的な性質のために、 K_{DCO} は正確に知ることができないプロセスのばらつきや環境因子に左右されます。

K_{DCO} は、いくつかの知ることができないシステム・パラメータに属しますが、推定値 \hat{K}_{DCO} を決定しなければなりません。後述しますが、過去の DCO の位相誤差補正に対する位相誤差応答の履歴を観察することによって、推定値 \hat{K}_{DCO} を完全にデジタル領域で計算することができます。実際の DCO ゲインの推定は乗算、除算、平均などの演算を含み、専用のハードウェアやデジタル・シグナ

第4章

完全デジタルPLL回路

第3章で述べた正規化デジタル制御発振器(nDCO)のデジタル-周波数変換(DFC)は、開ループでの動作です。そのため、自らが発生する位相や周波数のドリフトとワンダ(周期の長い揺らぎ)によって、その安定性は非常に悪くなります。

本章では、出力の位相、すなわち周波数を周期的に補正する、位相補正メカニズムを紹介します。この補正は、シンセサイザ出力の位相と、第1章の図1-1の基準周波数(f_{ref})を入力して作る安定した基準位相を比較することで行います。こうすることにより、長期間、シンセサイザの出力周波数と基準周波数の安定性を同等のレベルにすることができます。DCOクロックが生成した基準入力に位相を同期させることにより、位相補正のメカニズムは完全にデジタル領域で実行されます。構成回路もデジタル的な方法で設計・実現することができます。

Best氏が著した文献(33)は幅広く引用されていますが、これによるPLLのクラス分類にしたがえば、本章で述べる周波数シンセサイザは、実際には半分はアナログ回路と考えられる古典的なデジタルPLL(DPLL)ではなく、あらゆる構成回路ブロックが入出力レベルでデジタルとして定義される完全デジタルPLL(ADPLL)です。

ADPLLは、デジタルによる設計と回路技術を徹底的に利用しています。その中心には、意図的にアナログのチューニング電圧コントロールを回避したDCOがあります。DCOはフリップフロップに類似しているところがあります。フリップフロップの内部回路や信号はアナログですが、そのアナログ的な性質は入出力信号を超えて外側に伝播することはありません。このことから、図4-1に示すように、PLL回路を完全にデジタル方式によって実現することが可能になります。

本章では、ギア・シフトとゼロ位相再スタートという技術も紹介します。動作

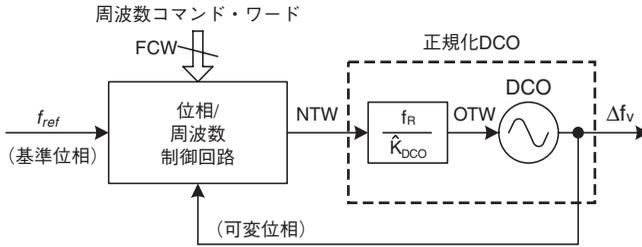


図 4-1 完全デジタル PLL アーキテクチャの中の DCO

発振周波数が所望する周波数に近づくにつれて、これらの技術はシンセサイザのループ動作と協調して出力周波数の分解能が漸近的に細くなるように制御します。

第2章の図 2-9 で示したアルゴリズムは、これらの技術を使って実現しています。

4.1 位相領域の動作

まず、可変発振器(DCO や VCO)の出力 CKV の実際のクロック周期(T_V)と基準周波数 f_{ref} のクロック周期(T_R)を定義しましょう。このとき、発振器が実際の基準クロック周波数よりもかなり高速に動作する($T_V \ll T_R$)と仮定します。

このようになるのは RF シンセサイザの場合ですが、生成された数 GHz の RF キャリア周波数は、一般的に 10 MHz から 40 MHz の基準水晶発振周波数より何桁も高くなります。さらに、最初の解析を簡単にするため、実際のクロック周期は定数あるいは時間的に不変と仮定します。

CKV と f_{ref} のクロック遷移のタイム・スタンプ(あるいは秒単位で測定されたイベント)である t_V と t_R は、それぞれ以下の式で決定されます。

$$t_V = iT_V \quad \dots\dots\dots(4-1)$$

$$t_R = kT_R + t_0 \quad \dots\dots\dots(4-2)$$

ここで、 $i = 1, 2 \dots$ と $k = 1, 2 \dots$ は CKV と f_{ref} のクロック遷移のインデックス値、 t_0 は二つのクロック間のオフセット時間の初期値です。 t_0 は、普遍性を失わずに f_{ref} クロックに吸収されることができません。

実際の CKV クロック・イベントで観察と動作を簡単に行えるので、遷移のタ

第5章 アプリケーション例—— ADPLL 技術で作る送信器

第4章で述べたシンセサイザは、基準位相アキュムレータに入力する周波数コマンド・ワード(FCW)により発振周波数をデジタル的に制御するという方法を使っています。ダイナミックに変化する変調データをFCW固定小数点ワードに単に加えることで、シンセサイザのRF出力において周波数や位相(通信理論では一般に角度と呼ばれる)の変調を行うことができます。本章では、この目的を果たすために必要なメカニズムについて記述します。

文献(19)には、2点ダイレクト変調手法が提案されています。これは、ガウシアン・フィルタを通したデータを直接VCO周波数で変調している間、送信される変調データ・ビットをデジタル的に積分し、積分器の出力を使って基準クロック信号の位相をシフトすることでPLLの位相補償を行います。しかし、このアプローチはアナログの色彩がとても強いので、VCOだけでなく、位相シフト回路と精度よくマッチングさせる必要があります。

別のフィード・フォワード補償方法が文献(20)で提案されていますが、この方法もまた、VCOの伝達関数とほかのアナログ回路の詳細な知識を必要とします。この方法は、実験室で測定して得られるVCOの伝達関数の逆関数をDSPで計算し、そのあとで高精度D-AコンバータでVCO制御電圧を所望の変位にプリチューニングします。たとえ大きな周波数シフトをVCO精度の範囲内で高速に実行できても、残存する周波数オフセットに対してはPLL帯域幅が狭いという問題が残ります。プロセスと環境の変化に起因するVCOゲインの変動が、このアーキテクチャのもう一つの難点です。

対照的に、本章では本質的にデジタル回路で実現でき、ハードウェアのオーバーヘッドがほとんどなく、ただ一つの素子マッチング(すなわちDCO回路)だ

けを必要とするような方法について述べます。この回路素子間のマッチング精度は、必要に応じて非常に高い分解能でデジタル的に得られます。上記の問題を避けるために、ダイレクト周波数変調の較正とRF発振器の伝達関数の較正に対するいくつかの斬新な方法について述べます。これらの方法は、特定の極度にデジタル色が強いシンセサイザ構成とは無関係に使うことができます。

さらに、パルス成形フィルタ(5.3項)とデジタル振幅変調機能(5.5項)をもったパワー・アンプ(5.4項)という二つの別の回路ブロックも紹介します。これらの二つの回路ブロックは、本書の主要なテーマではありませんが、斬新で役に立つアイデアを含んでいます。さらに言えば、すでにダイレクト周波数変調機能をもつデジタルRFブロックにこれらの回路ブロックを加えることで、無線デジタル通信のためのRF通信器の送信器部の全体を完成させることができます。これは、本書で述べるRFシンセサイザの使い方を示すことにもなります。

5.1 DCOのダイレクト周波数変調

発振周波数は、適切にスケーリングされた変調データ $y[k] = \text{FCW}_{\text{data}}[k]$ をほぼ静的な周波数コマンド・ワード $\text{FCW}_{\text{channel}}$ に直接加算することによって、動的に制御できます。この加算は、一般にはチャネル選択に使われる基準アキュムレータ入力で行います。

$$\text{FCW}[k] = \text{FCW}_{\text{channel}}[k] + \text{FCW}_{\text{data}}[k] \quad \dots\dots\dots(5-1)$$

ここで、 k は f_{ref} で設定される離散時間インデックスです。

この考え方は、第1章の図1-7で示しています。これは、ダイレクト・デジタル周波数シンセサイザ(DDFS)のフロントエンド・アキュムレータで、ADPLLアーキテクチャの基準位相アキュムレータと同一のものです。

変調データを導入することによって、最初に第4章の4.1項で定義した、所望のシンセサイザ出力と基準周波数の期待する瞬間的な周波数分周比としてFCWを再定義します。

$$\text{FCW}[k] = \frac{\varepsilon(f_V[k])}{f_R} \quad \dots\dots\dots(5-2)$$

一般に、RFシンセサイザに使用するPLLのダイレクト周波数や位相の送信変

第6章

ADPLLのビヘイビア・モデル化とシミュレーション

無線アプリケーション用の完全デジタル周波数シンセサイザと送信器を初めて説明するために、RF回路素子をモデル化してシミュレーションする必要性が生じました。このシミュレーションのエンジンは、現在100万ゲート以上のデジタル・バックエンドに使われているものと同じです。これにより、SoCのIC全体の複雑な相互作用と性能をテープ・アウトする前に実証し確認することができました。

下記に、複雑な相互作用の例をいくつか示します。

1. PLLの近傍位相ノイズ性能と発生したスプリアスに対する、時間-デジタル変換器(TDC)の分解能と非線形性の影響
2. PLLの位相ノイズ性能と発生したスプリアスに対するデジタル制御発振器(DCO)の位相ノイズの影響。特にPLLが高次デジタル・ループ・フィルタを含みフラクショナルNモードで動作する場合
3. PLLの近傍位相ノイズに対するDCOの周波数分解能の影響
4. 遠隔箇所での位相ノイズに対する $\Sigma\Delta$ DCOのディザリングの影響
5. 変調されたスペクトルに対するDCOのバラクタのミスマッチの影響
6. RF出力スペクトルに対するデジタル制御パワー・アンプの分解能と非線形性の影響

SPICEベースのシミュレーション・ツールは、複数の回路素子を含むRF回路(RF発振器など)の解析にはきわめて有効です。しかし、シミュレーション速度が遅いため、大きな回路(PLLと送信器や受信器を伴うRF発振器など)を調べることができません。実際には、ここに示すテクニックを使うことで、送信器全体でRF仕様を満たせることをテープ・アウトする前に明らかにすることができ

ました。最先端のディープ・サブミクロン CMOS プロセスのレチクル(フォトマスク)・セットに対するこのレベルの検証は、今では 100 万ドルを余計に支払っても必要とされています。

無線チャンネルをモデル化する方法はいくつもあります。純粋なシステムのレベルでは、C 言語と MATLAB によるモデルがありますが、これは高度に抽象化されており、実際のハードウェアとは極めて弱い関係しかありません。この反対に、極度にアナログ的なシステムに対しては SPICE または SPICE と Verilog (または VHDL) を組み合わせると、システムは非常に低いレベルで完全にモデル化できます。この二つの異質なシミュレーション・エンジン(例えば、SPICE と Verilog の協調シミュレーションのバック・プレーン)間にはさまざまな段階のリンクがあります。SPICE のような非イベント・ドリブンのエンジンとリンクすると、シミュレーション性能で大きな代償を払うことになり、通信チャンネルのもっとも基本的な性能指数、すなわちビット・エラー・レートを決定的に不可能になります。

本章では、標準的なシングル・コアのシミュレータ(例えば VHDL)に基づくシステムのモデル化とシミュレーション環境について述べます。特に強調したいのは、発振器と時間-デジタル変換器(TDC)のモデル化です。ループの中のはかのデジタル・ブロックはわかりやすいので、標準的な HDL モデル化のテクニックを使ってモデル化できます。ここに示すシステムは、かなりの量のアナログ回路素子を含んだ、デジタル色の強いアプリケーションにとっても向いています。プリプロセスとポスト・プロセスのためにファイル・システムへ大規模なリンクを行うと、大量のシミュレーションと解析をするための恵まれた環境が用意されます。

単一シミュレーション・エンジンの主な利点は、一様な環境下においてすべてのハードウェア抽象化レベルをシームレスに統合できるということです。標準 VHDL 言語のもっとも重要な仕様は、実数や浮動小数点の信号をサポートしていることで、ミクスト・シグナル設計に対して、Verilog に大きく勝っています。標準 VHDL 言語は、幅広いシミュレーションと合成(シンセシス)をサポートしています。そのため、複雑な通信システムのために、「シミュレートするものを作り、作るものをシミュレートする」という目標を達成することが可能になりま

第7章

ADPLLの実装と 実験結果

本章では、完成した最上位のレベルの Bluetooth 送信器のコアを示しながら、周波数シンセサイザの実装方法を説明します。

まず、最上位のレベルのブロック図を示し、すべての主要な回路ブロックをリストアップします。続いて、チップの顕微鏡写真と IC チップ評価ボードを紹介します。

次に、ADPLL による Bluetooth 送信器から得られた性能の評価データを示します。変調されていないシンセサイザの性能を評価する重要な項目は、位相ノイズとスプリアス・トーン出力です。周波数変調能力のないシンセサイザは、受信器経路において周波数変換を行う局部発振器として使うこともできます。

7.1 DSP と DRP (デジタル RF プロセッサ) の RF インターフェース

図 7-1 に、IC チップの全体像を示します。周波数シンセサイザは、DSP と組み合わせて送信器を構成します。テキサス・インスツルメンツ社の DSP TMS320C54x は 28 K ワードの RAM と 128 K ワードの ROM をもち、携帯電話アプリケーションに使われる標準的な周辺回路である、タイマ、API、シリアル・ポート、XIO パラレル・バス・インターフェースなどを、割り込みと待機状態機能を含めて内蔵しています。

XIO バスは、デジタル RF プロセッサ (DRP) を直接 DSP と組み合わせる 8 ビットのアドレス空間と 16 ビットのデータ・レジスタからなる専用の高速双方向パラレル・インターフェースです。

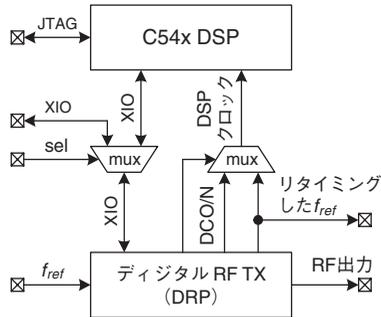


図 7-1 DSP 内蔵の 1 チップ・デジタル RF 送信器

送信器のレジスタは、DSP の XIO 空間にマッピングされ、リード/ライト命令を使ってアクセスできます。DRP は、DSP クロックの唯一の供給源です。DCO が基準周波数の n 番目の高調波でインジェクション引き込みを起こすことを避けるために、DSP は DCO エッジでリタイミングした f_{ref} クロック、または分周した DCO クロックで動作させます。選択したクロックに不良が検出された場合は、ウォッチドッグ(監視)タイマが自動的に f_{ref} クロックに切り替えます。

7.2 送信器のコア回路を実装する

図 7-2 に、送信器試作チップの実装の詳細を示します。これは、アナログ/RF のために特別に調整されたテキサス・インスツルメンツ社の ASIC 設計フローに基づいて設計しました。送信器のコアは、以下のブロックに分割できます。

- リタイミングした 13 MHz の基準周波数で動作する低速デジタル・スーパーブロック (LSD)
- 基準周波数よりはるかに高速なクロックで動作する高速デジタル・サブチップ (HSD)。これは、可変位相アキュムレータ (2.4 GHz で動作) と発振器トラッキング・バラクタ・バンク (600 MHz で動作) の $\Sigma\Delta$ ディザリングを含む。
- f_{ref} で動作するが、高精度のタイミングが必要な時間-デジタル変換器 (TDC) の ASIC セル。このセルは、おおむね 2.4 GHz で動作する f_{ref} クロックのリタイミング回路も含む。
- デジタル制御発振器 (DCO) とクラス E のパワー・アンプ (PA) を組み合わせ