

## 改訂版のまえがき

半導体技術の進歩はとどまるところを知らず、本書初版の出版当時、ようやく100万ゲートに到達しつつあったASICは、今やその10倍の1,000万ゲート・クラスの設計が行われています。Verilog HDLやVHDLによる設計はもはや日常となり、HDLに代わると言われるC言語ベースの設計例も報告されるようになってきました。

本書もVerilog HDLによる設計のための入門書として多くの読者に支持されてきました。本書の内容は、Verilog HDLによる設計のれい明期に著者が会得した内容を整理し、1冊にまとめたものです。著者の主な業務が、設計から(広義の)コンサルティングに変わり、多くの設計事例や記述例を見るに至り、本書の内容にひとりよがりと思込みの部分が少なからず目に付いてきました。

そこで、半導体理工学研究センター(STARC)が策定した「設計スタイルガイド」に準拠して、本書の記述例や解説を見直しました。おもな修正点は以下の通りです。

- 他言語(主にVHDL)の予約語と同じ識別子を使わない
- 回路記述に使う定数では、基数とビット幅を明示する
- 順序回路には非同期リセットを付加する
- case文にはdefaultを付加する
- レジスタへの複数箇所代入は行わない
- always文による組み合わせ回路もできるだけ紹介する

さらに、

- コラムの見直し(時代にそぐわない内容を入れ替え)
- 第8章の内容を、より本格的な記述例をもとに全面書き直し
- Appendixを入れ替え、Verilog-2001(IEEE 1364-2001)の解説を追加
- ブロードバンド時代では必要性の低下したCD-ROM添付をやめ、価格を改定

第8章の書き換えには次のような経緯がありました。もともと本書の初版には、原稿執筆時点で本格的な記述例を解説した第9章が存在しました。したがって第8章は簡単な記述例(1/100秒ストップ・ウォッチ)で十分でした。しかし、第9章は連載をまとめたもので70~80ページもあり、全体のページ数が多くなりすぎました。このままでは入門書としては価格が高くなってしまふとのことで、泣く泣く削除し、概略だけをAppendixに残しました。結果的に本格的な記述例がなくなってしまいました。そこで今回の改訂を機に、第8章を差し替えることにしました。

なお、今回の改訂でVerilog-2001を全面的に取り入れることも検討しました。しかし、HDL設計の今後を考えても、Verilog-2001を全面採用することにさほどメリットを感じませんでしたので、Appendixで紹介するにとどめました。

論理回路記号を並べた回路図ベースの設計も主流ではないものの、いまだに実施されています。HDLによる設計も、将来的には別の方法に主役の座を譲るときが来るのでしょうか、設計手法として受け継がれていくものと信じています。Verilog HDLによる設計手法を知ったうえで、新しい設計手法の習得が必要になることでしょうか。本書の役割も変化しつつあるのでしょうか、未永く利用していた

だきたいと思います。

最後に、本書改訂版を粘り強く待っていただき、ときには確認と称して怠惰な著者にむち打っていただいたデザインウェブマガジンの中山俊一編集長に感謝いたします。

2004年4月 著者