

トランジスタ技術 SPECIAL

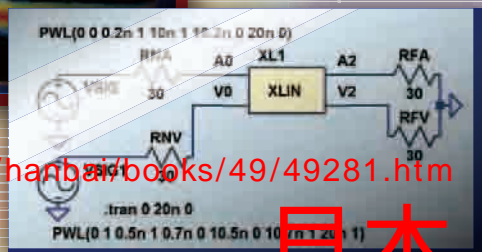
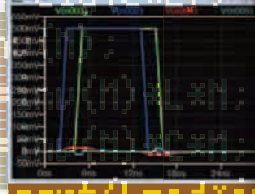
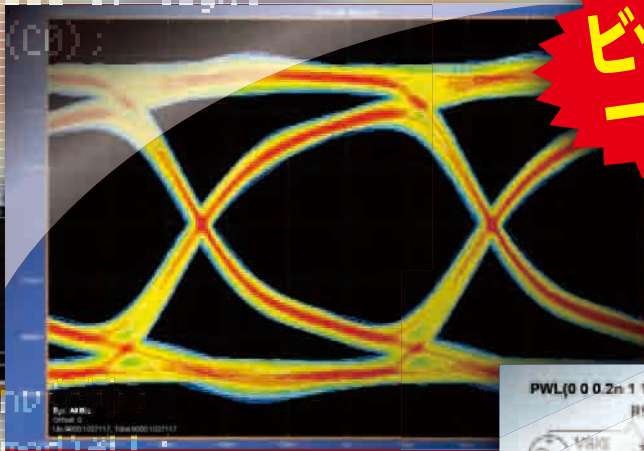
USB3.1, PCI Express, LVDS...10Gbps超までバッチリ受け渡し

Gビット時代の 高速データ伝送技術 [シミュレーションCD付き]

ビッグ・データも
一気にドカーン



speed of light



ご購入はこちら
<http://shop.cqpub.co.jp/hanbai/books/49/49281.htm>



CD-ROM付属
●高速信号が伝わる様子をパソコンで疑似体験!
●無制限ツールLTspice / FreeMat +記事関連データ



見本

Introduction

カラーで見るギガビット
伝送波形の評価技術

デジタル信号を扱う回路で導体線路を進む信号の速度が1秒間に1ギガビット(10⁹ビット/sec)を超えるのが当たり前になってきました。高速化に伴って、毎秒数メガビット程度のデジタル信号を扱う一般のロジック基板回路では問題となつてこなかった現象が表面化してきます。数百メガビットを超え、ギガビット・クラスで信頼性の高い回路を実現するにはそれらの問題を理解しておくことが必要といえるでしょう。本書では電気信号が伝わる基本的なメカニズムからギガビット回路設計に必要な多面的な技術、評価技術について説明します。

● アイ・ダイアグラムとバスタブ曲線

導体にギガビットを通す伝送信号も10ギガビットクラスあるいはそれ以上のものが実用化されてきています。図1は毎秒10ギガビットで伝送された信号の波形を重ねて見たものです。横軸は時間で20 psec/div、縦軸は0.2 V/divです。波形中央の部分が目のように見えることからこのような波形をアイ・ダイアグラムと呼んでいます。目の部分が広がっていれば受信側で誤動作が起きにくいことから高速伝送の

波形品質を確認するための基本的な手法となっています。

図2は線路の損失によってアイ・ダイアグラムが変化の様子です。HDMIケーブルに通したの信号の場合で、初めの二つ三つは同じ3mのケーブルで伝送していますが伝送速度が異なります。高速伝送ほどアイ・ダイアグラムのアイがつぶれてくるのが分かります。また最後の図(c)は10mのケーブルにした場合でさらにアイがつぶれてきているのが分かります。アイ・ダイアグラムを広げる手法については第6章で、測定については第11章で詳しく説明します。テクトロニクス社のオシロスコープ(MSO73304DX)で測定されたものです。

図3は2.5 GbpsのPCI Expressのアイ・ダイアグラム(上)とバスタブ曲線(下)を示したものです。毎秒数ギガビットの伝送では毎秒10⁹個のデータが送られます。10⁹に1回の伝送エラーがあっても毎秒誤動作が起きることになります。そこで、ギガビット伝送では10¹²データに1回以下の伝送エラーに収まる伝送路であることを確認することになっています。この確認にはバスタブ曲線という手段が使われています。図3は

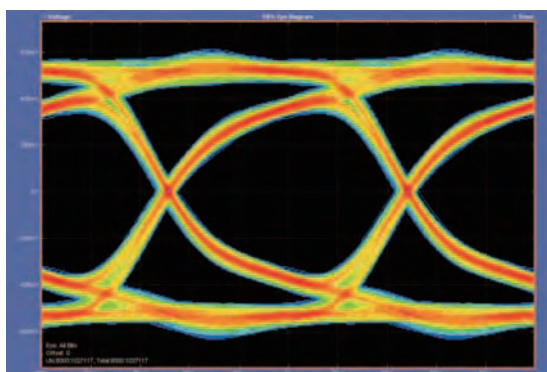


図1 10 Gbps 波形のアイ・ダイアグラム

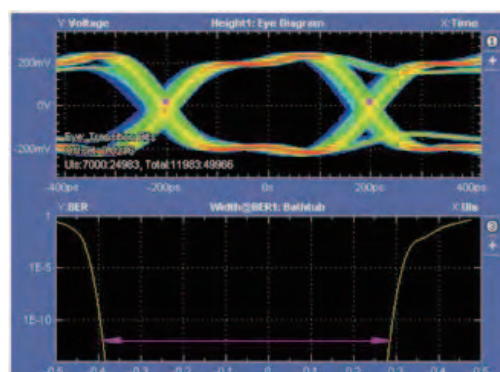
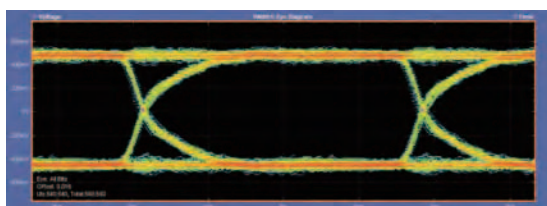
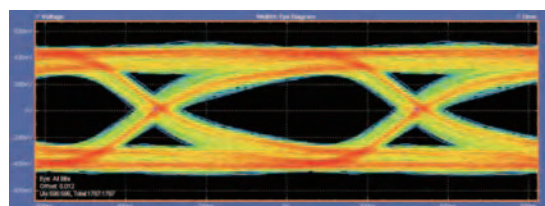


図3 アイ・ダイアグラム(上)とバスタブ(下)曲線



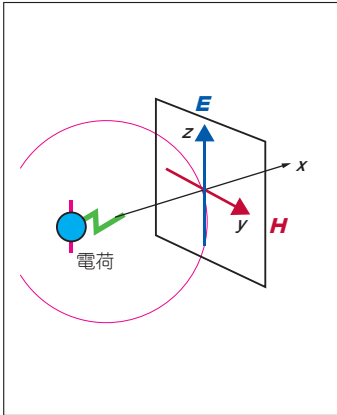
(a) HDMI 3mケーブル(480i: 垂直解像度480インターレース)



(b) HDMI 3mケーブル(pc1900)

図2 線路の損失とアイ・ダイアグラムの変化

第1部 ギガビット伝送の基本をマスターしよう



第1章 電線を伝わる電気信号の実体は？

電気信号は電子の流れでなく電磁波で伝わる

電気回路を扱っていると線路途中がオープンになっていれば電流は流れず、従って電気信号も伝わらないという考えになっています。しかしこれは電子が流れて伝わる直流の場合です。電子の流れによらない電気信号の伝わり方を理解しましょう。

この章では、基板パターンなど導体線をほぼ光速で伝わる電気信号は実は導体の中を電子が進んで伝えているのではなく、導体周囲の絶縁体の中を進む電磁波で伝わっているということを説明します。電気回路の専門家でも、導体の中の電子がほぼ光速で移動して高速電気信号を伝えていると思っている場合があるようです。高周波信号は表皮効果のため導体の表面部にしか電気が浸透しないわけですが、このことも表面部分の電子が移動して信号が伝わると思い込まれる一因となっているのかもしれませんが。

従来の回路設計では、信号が実際に導体線路を伝わる姿を無視して設計しても、あまり問題は起きませんでした。しかし、導体の線路上に実際に通す信号が毎秒数百メガビットから数ギガビットになる場合は、信号は実際にはどこを通過して高速に伝わっているのかが把握できていないと信頼性のある回路設計は難しいでしょう。

電気信号は 先端オープンの電線でも伝わる

図1-1は、一般的なCMOSロジック回路で信号を伝える様子を簡単に示したものです。図1-1の左側のIC₁は信号を送り出す側で、内部動作をスイッチで表しています。線路端はCMOSロジックICで受けています。受け側の内部を見ると、グラウンドあるいは電源との間の直流抵抗はMΩ以上と高抵抗であり、直流的には実質オープンに近い状態になっています(図1-2)。そこで、線路端がオープンの場合に線路上の波形がどうなっているのか実験しました。

写真1-1は木製のテーブルの上に2mの電線を置いて、これに電気信号を加えて波形を見ている様子です。図1-3はそれを回路図で示したものです。スイッチでは接点で何度もひげ状の波形が出るために、波形が綺麗に出るパルス発生器をスイッチの代わりに使用しています。

電気信号がどのように伝わるのかはオシロスコープで観測します。ここでは、2GHzでサンプリングできるデジタル・オシロスコープを使用しました。オシロスコープの観測帯域は広い方がよいのですが、比較的入手しやすい500MHz帯域のものを使用しました。観測帯域とは、オシロスコープの中で波形を増幅する

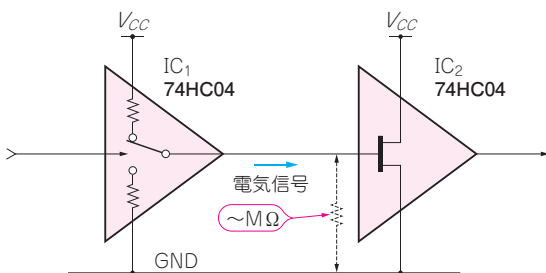


図1-1 デジタルIC(HCMOS)間の信号伝送

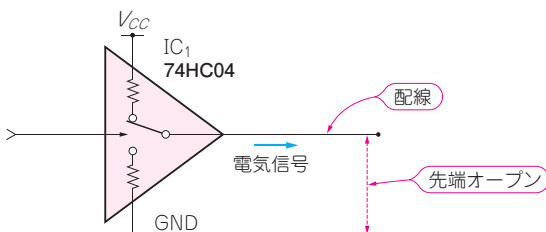


図1-2 先端オープンの線路を接続したときの信号伝送

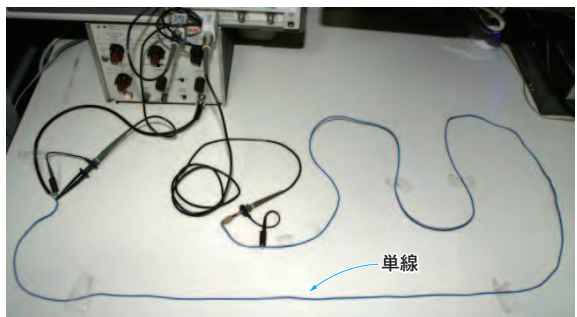
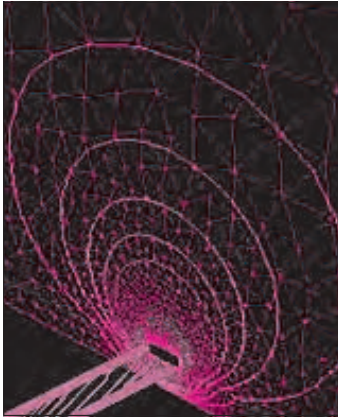


写真1-1 単線に通る電気信号を見る実験



第2章 高速信号から見ると
伝送線路は純抵抗に見える!!

特性インピーダンスについて 徹底的に理解しよう

線路の特性インピーダンスは $50\ \Omega$ といわれても、テスタでは測れないし何となく分かりにくい印象を持ちがちです。高速伝送回路設計で避けて通れないこの特性インピーダンスを本章では多面的に解説しています。

まず、線路の一方にスイッチをつないだ回路を使って、スイッチ ON 時に生じるばたつき波形を観測し、その原因を探ります。その原因を考察することで、高速伝送技術、高周波領域に欠かせない概念である**特性インピーダンス**の真意を明らかにしていきます。

線路端のスイッチによる ばたつき波形の原因と対策

● スイッチによる誤動作の原因はスイッチだけではなかった

スイッチの ON/OFF 時に生じる機械的振動は**チャタリング**



写真2-1 実験の様子(スイッチと1mのツイスト・ペア・ケーブル)

タリングと呼ばれ、電子回路の誤動作の一因とされています。では、誤動作の原因はスイッチだけでしょうか？ この現象を詳しく調べてみましょう。

実験に使用した回路を図2-1に示します。スイッチ S_1 と回路基板の間は、1mのビニル電線をツイストした線です。検出回路側では $10\ \text{k}\Omega$ で $5\ \text{V}$ にプルアップしています。図2-1の実際の接続状態を写真2-1に示します。

スイッチ S_1 を ON したときの回路入力部③点の波形をオシロスコープで観測しました。図2-2(a)はスイッチ ON 直後の数ミリ秒程度の時間、図2-2(b)は数マイクロ秒程度の時間を観測したものです。図2-2(a)から、スイッチ ON 直後 $1\ \text{ms}$ 程度の間、接点が機械

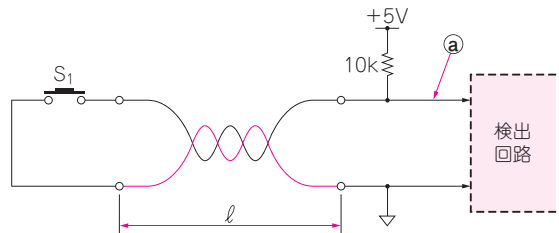
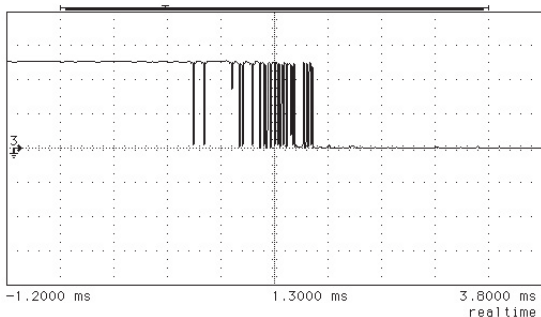
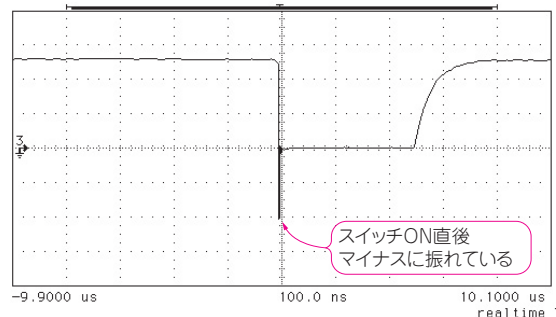


図2-1 スイッチ ON 時のばたつき波形を調べる実験回路(③点で波形観測)

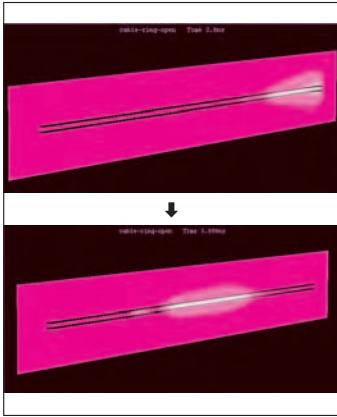


(a) $2\ \text{V}/\text{div}$, $500\ \mu\text{s}/\text{div}$



(b) $2\ \text{V}/\text{div}$, $2\ \mu\text{s}/\text{div}$

図2-2 図2-1のスイッチ S_1 を ON したときの③点の波形



第3章 線路端をショートしても電気信号は消えてくならない

デジタル伝送回路の反射とメカニズム

回路の出力をグラウンドに落とすと信号は見えなくなります。しかし長い線路を経由してグラウンドにつなぐと線路途中では信号が見えてきます。電気信号は伝送線路を波（電磁波）で伝わることからそのような振る舞いが起きてきます。線路端での反射について実験を交え解説しています。

プリント基板に実装されているロジックICの出力には**パターン（線路）**がつながっています。

本章ではまず、ICに線路をつないで信号を入力したときに出力波形に生じるいくつかの現象を確かめます。そして、その現象を足がかりに、ICを線路でつないだときの電気信号のふるまいとこれに関連する**リングング対策**について解説します。

ICの出力に線路をつなぐと立ち上がり波形に段付きが生じる

● ICに線路をつないだときの影響を調べる

図3-1は、ロジックICの出力に線路をつないだときにどのような影響があるのかを実験する回路です。IC₁の出力は、長さ ℓ （= 50 cm）の線路を経由して別の74HC04入力につながっています。IC₁の入力に階段状波形を入力したときの入力ピン（図3-1の①点）

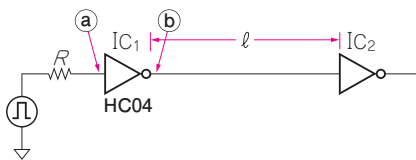


図3-1 ロジックICの出力ピンの波形を観測する実験回路

と出力ピン（図3-1の②点）の波形を図3-2に示します。図3-2の出力ピンの波形から分かるように、IC₁の出力の立ち上がり波形は一度で立ち上がらず、途中で「段」が付いた波形になっています。

IC₁を出力電流が74HC04の数倍ある74AC04に交換してみるとどうなるのでしょうか。図3-3に観測波形を示します。この図では少し分かりにくいのですが、出力波形はすぐには立ち上がりません。

● ICの不良か？

IC₁の出力波形に、なぜこのような段が生じるので

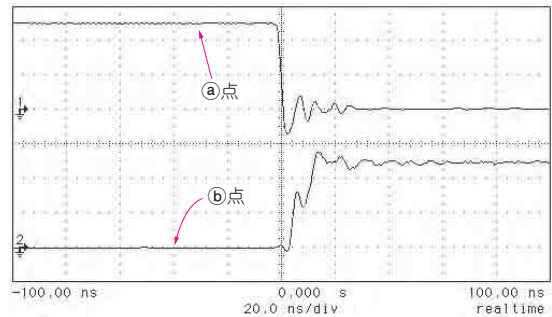


図3-2 図3-1で50 cmの線路を接続したときの入出力波形(2 V/div, 20 ns/div)

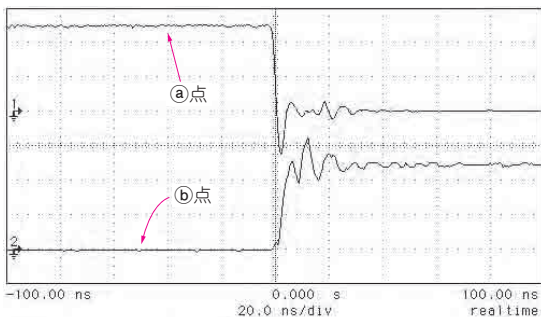


図3-3 図3-1でIC₁を74AC04にしたときの入出力波形(2 V/div, 20 ns/div)

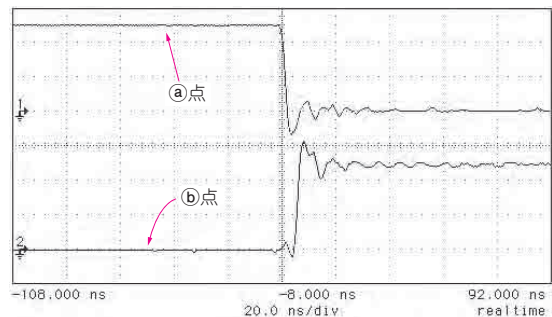
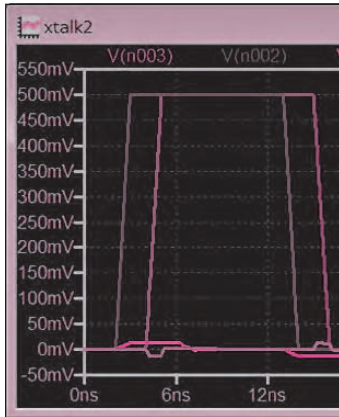


図3-4 出力に線路をつながないときの入出力波形(2 V/div, 20 ns/div)



第4章 電気信号は電磁波、だから線路間で結合するのは当たり前

線路間の信号干渉・クロストークを理解しよう

信号が通る線路の近くに線路が走っていると、信号の波形に応じたノイズがその線路に現れることがあります。これがクロストークです。どのようなメカニズムでクロストークが起きるのかを理解し、対策法を把握しておくことが高速デジタル回路では大切です。

フラット・ケーブルでクロックとデータを送っている場合、MHz程度のクロックであっても隣のデータ線にクロックのタイミングで受け側に信号が表れ、それをデータとして誤って取り込んでしまうなどの問題が生じることがあります。このように、信号を送っている線路と並んで別の線路が走っていて、送っている信号のタイミングで別の線路にノイズなど何らかの信号が表れる現象をクロストークと言います。

この章ではフラット・ケーブル(写真4-1)の場合の実測例と、線路間の結合度を線路の断面形状から求める方法について説明します。

フラット・ケーブルで安易にデータを送ると誤動作

基板間など数十cmから数mの距離を信号伝送する場合にフラット・ケーブルを使うケースが多くみられます。

コネクタへのケーブル圧接などが容易で加工コストなども安いので広く使われるわけですが、フラット・ケーブルを用いた個所で誤動作が起きることがよく見受けられます。多くの場合、ロジックIC出力そのままをケーブルにつなぎ、受け側もロジックICで受け

る形になっています。普通のロジックICですから動作周波数は数十MHzですが、立ち上がりはns程度の場合もあります。線路も一般的なパターン長よりはるかに長いので、実は毎秒ギガビットを送送する場合に相当する配慮が必要です。

● 隣り合う線でデータとクロックを送る

写真4-2は、基板間を16芯フラット・ケーブルで接続し、デジタル信号を送る実験を行っている様子です。写真4-2の回路図を図4-1に示します。送信側(ドライバ)は74AC04、受信側(レシーバ)は74HC574でデータをラッチする簡単なものです。この実験では、最もノイズを出しやすいクロック線とその隣のデータ線、およびそれぞれのグラウンド線の4本のみを接続しています。

ICの電源は3.3Vの場合と5Vの場合でテストしています。フラット・ケーブルの長さは20cm、1m、および5mで実験しました。

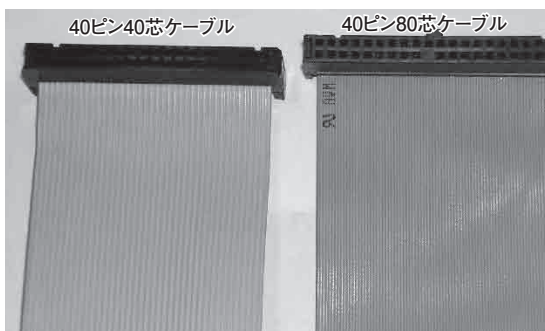


写真4-1 IDEハードディスクに使われていたフラット・ケーブル(80芯タイプがUltra ATA/66～Ultra ATA/133といった高速インターフェース用。40芯タイプはUltra ATA/33用)

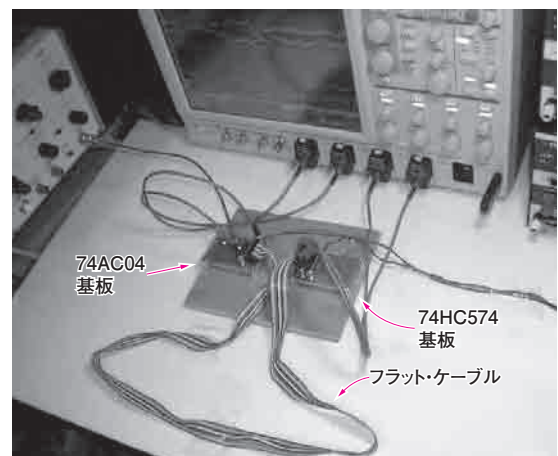
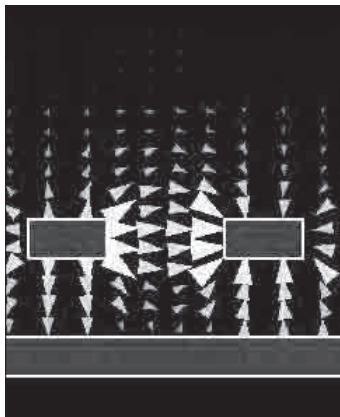


写真4-2 フラット・ケーブルで回路間をつないでクロストーク波形を観測する実験の様子

オシロスコープは帯域8GHzのDSA70804(テクトロニクス)。



第5章 小振幅でも安定に高速に送るには

ギガビット伝送では 差動伝送が主流

小さい振幅のアナログ信号をノイズ環境の中で伝送するには差動伝送が使われます。ギガビット伝送ではデジタル信号の振幅も小さくなります。デジタル信号のロジックが異なる信号を送って差動で受けるのがデジタル差動伝送です。このデジタル差動伝送について実験を交えて説明します。

毎秒数百メガからギガビットの伝送では、一部メモリ回路でシリアルが使われていますが、主流はデジタル差動伝送です。本章ではデジタル差動伝送の基本的な動作と差動信号伝送の基本的な伝送モード、差動インピーダンスなどについて説明します。

ギガビット・デジタル伝送では 差動伝送が使われる

● USBでは差動伝送が使われている

写真5-1はノートPCに付いているUSB 3.0対応のコネクタの例です。USBはもともとPC用にも使われていたシリアル・ポートRS-232の速度が遅いことの対応として導入されたものです。

シリアル・ポートのケーブルは伝送路を無視した集中定数回路で考えられており、規格でも信号線とグラウンド線の間の容量で規定されていました。最初のUSB 1.0は、毎秒1.3メガビットでRS-232よりはかなり早くなっていました。一方、対抗規格としてアップルなどが使用したIEEE 1394は400 Mbpsと高速化さ



写真5-1 シリアル/パラレル・ポートの代わりにUSBポートが使われているノートPC

れたため、USB 2.0では最大毎秒480メガビット(480 Mbps)とそれより少し上回る規格として策定されました。安価に高安定に480 Mbpsを実現するため、USB 2.0は低振幅(0.4 V)のデジタル差動伝送で送られています。

USB 2.0では信号線は1ペアで双方向に送る(それ以外に電源線2本とシールド、図5-1)ので、信号線路が双方向(2ペア)あるIEEE 1394は最大速度とコスト面などから不利になりUSB 2.0に席卷されました。

USB 3.0では一挙に5 GbpsさらにUSB 3.1では10 Gbpsと高速化が図られてきています。ケーブル構造は図5-1と異なり、送受信は別ペアです⁽⁶⁾。また、デジタル信号はデジタル差動伝送で送られています。いろいろなギガビット伝送の規格については第6章を参照してください。

● 3 Gbps以上のシリアルATAには差動伝送が使われている

PC内部でハードディスクとマザーボード間で使われる信号伝送には、かつてはIDE(Intelligent Device Electronics)というシングルエンドの伝送方式が用いられていました。ケーブルは多芯のフラット・ケーブルで、パラレルに信号を伝送していました。

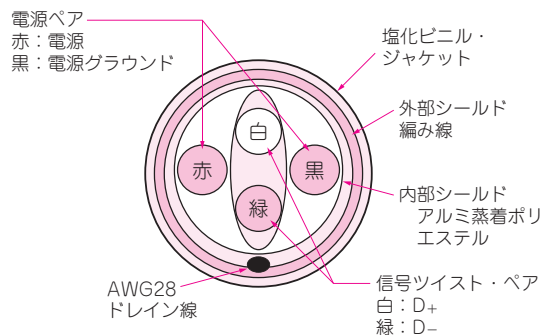
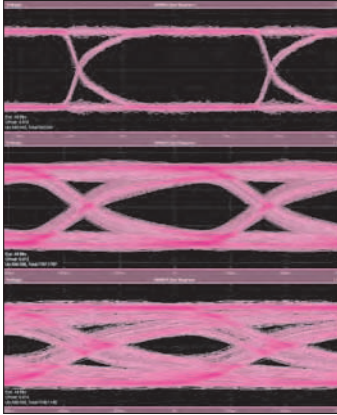


図5-1⁽¹⁾ ハイ・スピード/フル・スピード用のUSBケーブルの断面と構造

第2部 ギガビット伝送を実現する様々な技術



第6章 シリアル伝送の技術がオンパレードでギガビット化

安定したギガビット伝送を実現するシリアル差動伝送技術

データとクロックを別経路で送るパラレル伝送では数百メガbpsを越えると誤動作しやすくなります。ギガビット伝送ではクロックをデータ信号に埋め込むタイプのシリアル伝送が主流です。シリアル伝送の技術について多面的に説明します。

パラレル伝送の速度限界

パターンを実際に通る信号が最大毎秒数十メガビット程度だった時(第7章で説明するPCIバスなどは、スループットを上げるために少ない線路本数を使ってシリアルで伝送するよりも、8本から32本のデータ線とデータ読み込みのクロックを送ることで1回に送れるデータ量を稼いでいました。ところが、さらに大量にデータを送ろうとすると、データ線間での信号到達時間のばらつきやクロック信号のタイミングとのずれが無視できなくなってきました。

図6-1はその様子を簡単に模式的に示したものです。クロックのタイミング変動幅を Δt_c 、データのタイミング変動 Δt_d でクロック周波数にかかわらず一定としています。図6-1の(a)は周波数が遅い場合、(b)は周期が上がった場合で周波数が上がると誤動作が起こりやすくなるのが分かります。

また、パターンごとの信号の到達時間の差はクロック周期が数十MHzの場合は問題とならないことが多いですが、数百MHzになると問題となります。本来

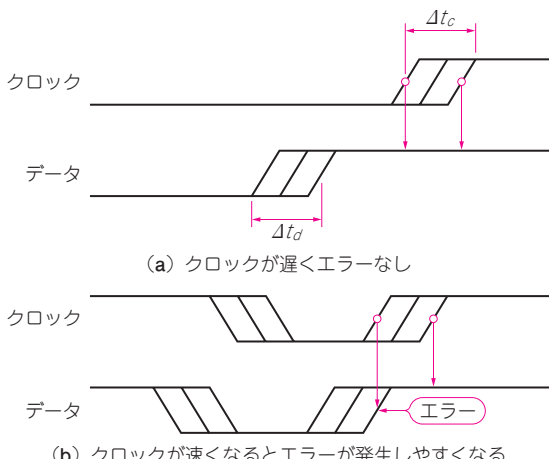


図6-1 クロック周期が上がると誤動作しやすくなる

同じタイミングで到達すべき線路間のデータのタイミングにずれが発生することをスキューといいます。スキューがあるとパラレル・データ伝送では、データの取り込みエラーなどが起こります。また、差動線路間でスキューが発生するとコモンモード・ノイズが発生するなどの問題が生じます。

スキューの対策としては線路の長さを合わせるなどの方法があります(写真6-1、メモリ回路の例)。しかしメモリ回路のようにボード上である程度短い線路距離で用途も限定されている場合は、このような対応は可能と言えますが、PCIバスのようにいろいろな機能の回路との送受信に使われる場合は、タイミングばらつきも大きくなり対応が難しいといえます。

シリアル・デジタル伝送が高速化する過程で差動伝送化

図6-2は主にケーブルを使った各種シリアル伝送

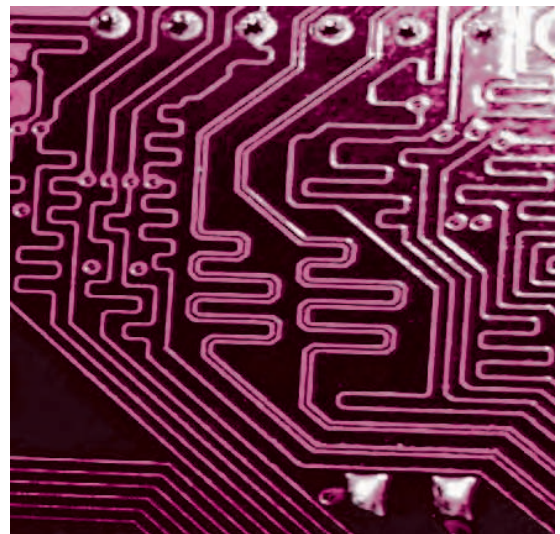
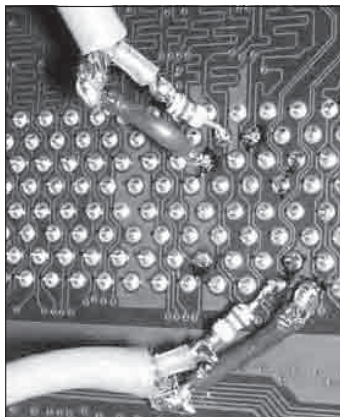


写真6-1 パラレル・データの到達時間を合わせるためにパターン長を合わせている例



第7章 シングルエンド伝送がギガビットでも生き残っているわけは？

ギガビットでも使われるシングルエンド伝送

数百メガbpsを越えるとシングルエンド伝送は誤動作しやすくなるため、特にギガビットではクロックをデータに埋め込んだ差動シリアル伝送が主流です。しかし基板面積当たりのビット量はシングルエンドが優っています。シングルエンドの経緯を振り返りながら、ギガビットでのシングルエンド伝送について説明します。

- 毎秒数百メガビットからギガビットのデジタル信号伝送の方式は差動伝送が一般的です。差動方式を使わずに毎秒数百メガビットを数十cmのパターンで伝送させると、一般のロジック(シングルエンド)ではさまざまな問題が発生します。そのため、安定した回路動作を得るパターン設計はとても難しくなります。

- しかし、メモリ回路のデータ線は、毎秒ギガビットの速度でもほとんど差動伝送は使われていません。メモリ回路は、CPUなどと一体で高速かつ大量にデータをやりとりする必要があります。一定の基板面積で大量にデータをやりとりするために、一つの信号に2本のパターンを使用する差動伝送より、1本のパターンで一つの信号を送るシングルエンドのほうが技術的な難しさがあるとしても現状では有益だからです。

- 本章では、PCに使用されてきたシングルエンドの各種バスの信号波形の観測とメモリ回路独自の回路動作を説明し、高速メモリのパターン設計の今後についても触れます。

シングルエンド伝送が使われている高速メモリ回路

写真7-1は、PCのマザーボードで、メモリに

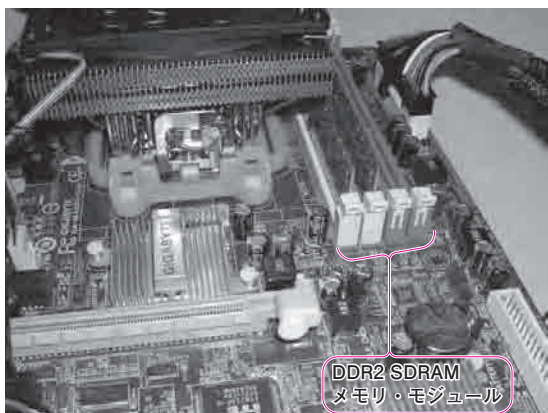


写真7-1 DDR2メモリを搭載したマザーボード

DDR2 SDRAMを使用しています。このマザーボードの裏側で、メモリ・モジュールにつながるコネクタの点で信号波形を見たものが図7-1です。クロックは、カーソルの間隔が約2.5 nsであることから約400 MHzであることが分かります。一方、クロックの半周期(1.25 ns)で1データが送られていることからデータ・レートは800 Mbpsと読み取れます。

写真7-2は、マザーボード上のDDR2メモリとメモリ・コントローラの間のパターンです。単線で引かれているパターンとペアになったパターンがあります。ペアのパターンはクロック線で差動伝送が使われていますが、多くの単線のパターンはデータ線などでシングルエンド伝送が使われています。

USBやシリアルATA、PCI Expressなどの毎秒数百メガビットを越す高速デジタル伝送では、差動伝送方式が使われています。

毎秒数百メガビットを越すデータ伝送では、基本的に信号の振幅を小さくします。同じスルー・レートの安価なトランジスタで構成したICでも、振幅を小さくするとにより、高速で、“H” / “L” レベル間を切り替えることができるからです。振幅を小さくしても、差動伝送では周囲ノイズ(同相のコモン・モード・ノイズ)を打ち消してくれるなどの多くの長所がありま

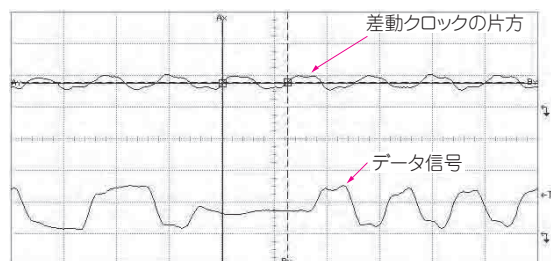
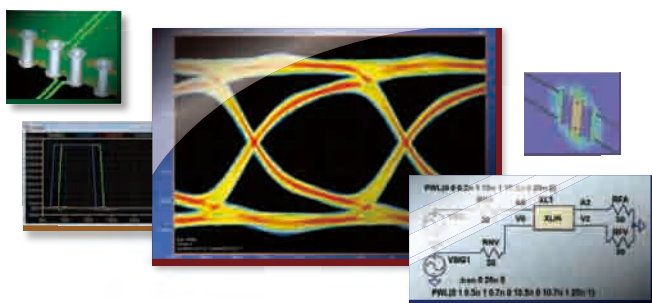


図7-1 写真7-1のマザーボードのDDR2 SDRAMモジュール(DDR2 800 PC2-6400)のコネクタ・ピンで観測した波形(2 ns/div, 1 V/div. 1.5 GHz帯域のオシロスコープで測定) クロックは2.5 ns周期(400 MHz)、データは800 Mbpsのデータ・レートで送られている。



USB3.1,PCI Express,LVDS...10Gbps超まで
バッチリ受け渡し

Gビット時代の 高速データ伝送技術 [シミュレーションCD付き]