

第1章 MOSトランジスタの しくみと動作

1-1 MOSトランジスタのシンボル

CMOS ICでは大きく分けて2種類のトランジスタが使われます。一つはPMOSトランジスタ*1-1，もう一つはNMOSトランジスタです。PMOSとNMOSが互いに補完する (complementary) 形で組み合わせさせてICを形成していることから、Complementary MOS…CMOSと呼ばれています。

本書で用いるMOSトランジスタのシンボルを図1-1に示します。MOSトランジスタは4端子素子ですが、通常ボディ端子(B)はNMOSトランジスタでは回路の負側の電源電圧 V_{SS} に、PMOSトランジスタでは正側の電源電圧 V_{DD} に接続されています。ボディ(B)への接続を略する通常の表記では図1-2に示すシンボルにします*1-2。図1-1に示すシンボルとの関係は図1-3のようになります。

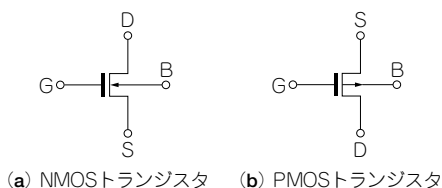


図1-1 MOSトランジスタのシンボル

*1-1 本書ではNMOSトランジスタのことをNMOS，PMOSトランジスタのことをPMOSという呼び方もする。

*1-2 いずれもJISやIECに準じていないが、電流の流れの向きを簡易に表すことができるため、一般にこのシンボルが使用されている。

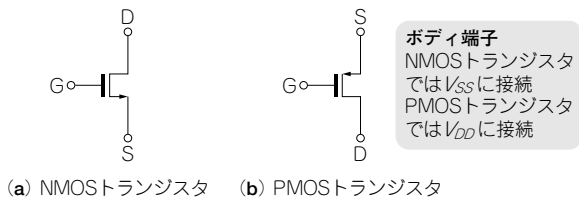


図1-2 ボディ端子を省略したMOSトランジスタのシンボル

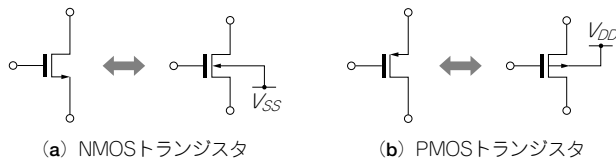


図1-3 シンボルの置き換え

1-2 MOSトランジスタの構造

図1-4にNMOSトランジスタの模式図を示します。 W および L はトランジスタのサイズを表します。 W と L はCMOS ICの回路設計を行う上で非常に重要なパラメータで、後ほど詳しく取り扱います。 図面では大きくなりますが、実際のゲート・サイズ L はたとえば数 μm 以下、最新のCMOSプロセスでは $0.1\mu\text{m}$ (100 nm)以下の大きさです。

p型シリコン基板の中に二つの n^+ 領域が形成されており、一つをソース、もう一つをドレインと呼びます。 ソースおよびドレイン内の多数キャリアは電子であり、p型シリコン基板内の多数キャリアは正孔です。 ゲートは高濃度にドーピング(不純物の注入)された低抵抗のポリシリコン(poly-crystalline silicon: 多結晶シリコン)できています*13。

ゲートとシリコン基板の間には酸化膜(SiO_2)が形成されています。 これをゲート酸化膜と呼びます。 p型シリコン基板はボディまたはバルクと呼ばれます。

*1-3 最新のCMOSプロセスでは、ポリシリコンの表面をシリサイド化(高融点金属とシリコンの化合物化)することで、低抵抗を実現しているが、本書ではゲート電極には標準的なポリシリコンを用いるものとして説明を行う。

コラム ◆ ゲート酸化膜について

最先端の超微細CMOSプロセスでは、ゲート酸化膜の厚みが数nmまで薄くなり、ゲートに流れるリーク電流が問題になります。そこでSiO₂の代わりにHf(ハフニウム)系の酸化膜など、高誘電率材料を用いることで、ある程度のゲート酸化膜厚を保ち、ゲートに流れるリーク電流を抑える工夫がなされています^[1]。しかしながら本書ではとくに断りが無い限り、ゲート酸化膜はSiO₂を用いるものとして説明を行います。

NMOSトランジスタのボディはV_{SS}(負側の電源電圧)に接続します。たとえば正の電源電圧V_{DD}が3V、負の電源電圧V_{SS}が0Vで回路を動作させる場合、ボディは0Vに接続します(図1-5)。p型シリコン基板中のp⁺領域は、p型シリコン基板と金属配線の接触を良好にする目的で形成されています。

図1-4のMOSトランジスタの構造を見るとソースとドレインはまったく同じ形状なので、どちらをソース(またはドレイン)として扱っても問題ないように見えますが、NMOSトランジスタでは電位の高いほうをドレイン、電位の低いほうをソースと考えます*1-4。逆にPMOSトランジスタでは電位の高いほうがソース、低いほうがドレインになります。そのためドレイン-ソース間に流れる電流の向きは、

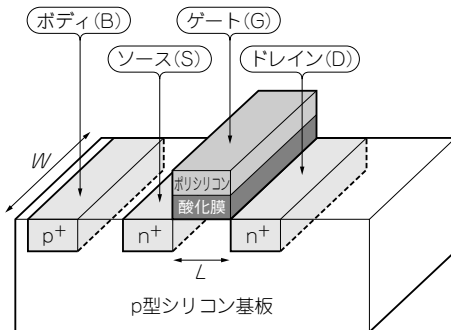


図1-4 NMOSトランジスタの模式図

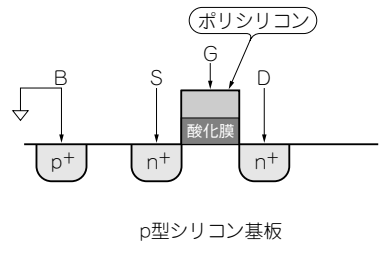


図1-5 NMOSトランジスタの断面図

*1-4 ソースとボディは同電位にすることが多いので、図1-4に示すようにボディ端子はソース端子の近くに設けたほうがレイアウト設計が行いやすい。

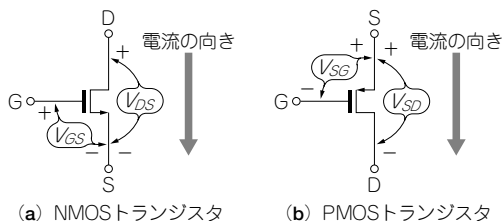


図1-6 MOSトランジスタにおける電流の向きと端子間電圧

NMOS：ドレイン → ソース

PMOS：ソース → ドレイン

となります。

また、回路図を描く場合にNMOSトランジスタではドレインが上、ソースが下になるように、一方PMOSトランジスタではソースが上、ドレインが下になるようにします。図1-6に電流の流れる向きと端子間の電圧を示します。ゲート-ソース間電圧を V_{GS} (PMOSトランジスタでは V_{SG})で、ドレイン-ソース間電圧を V_{DS} (PMOSトランジスタでは V_{SD})で表します。

1-3 MOSトランジスタの動作原理

MOSトランジスタの動作原理について考えてみましょう。

まず図1-7に示すように、ゲート端子とソース端子を短絡し、接地した状態 ($V_{GS}=0V$) を考えます。p型シリコン基板が V_{SS} に接続されていることをイメージしやすくするために、 p^+ 領域(ボディ)を省略し、シリコン基板を V_{SS} に直接つないだ概略図で説明を行います。

この状態ではドレイン端子に電圧 V_{DS} を加えても、ドレイン-ソース間には電流はほとんど流れません。なぜなら、ドレインとソースの間は図1-8に示すように二つのpn接合ダイオードが逆向きに接続されたのと等価の状態になっているからです。

● $V_{GS}=0V \rightarrow V_{GS}$ を少し加えると

次にゲート-ソース間に正の電圧 V_{GS} を加えてみます(図1-9)。 V_{GS} を増加してい

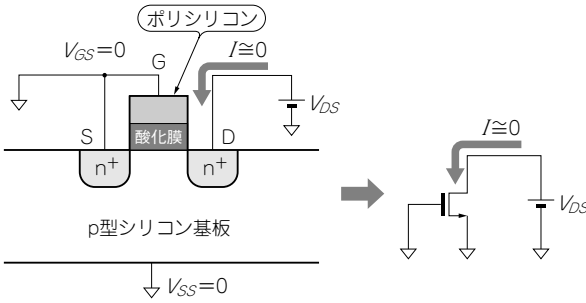


図1-7 NMOSトランジスタのゲートとソースを接地した ($V_{GS} = 0\text{ V}$)

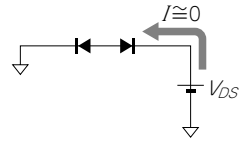


図1-8 図1-7の等価回路
逆向きに接続された二つの
pn接合ダイオード

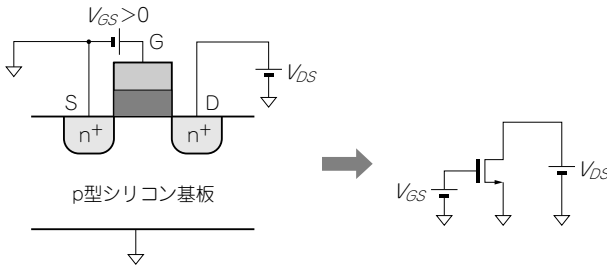


図1-9 V_{GS} を少し加えたときのNMOSトランジスタ ($V_{GS} > 0\text{ V}$)

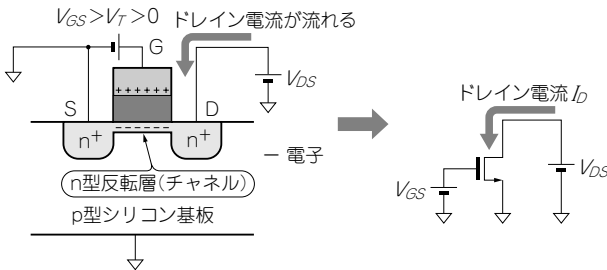


図1-10 V_{GS} が V_T を超えるとチャネル(n型反転層)が形成される

くと、ある電圧で図1-10に示すようにゲート酸化膜の下にはチャネル(channel)と呼ばれるn型化した領域…n型反転層が形成されます。ゲートとp型シリコン基板間の電界により、ソースおよびドレイン内の電子がゲート酸化膜の下に引き寄せられてチャネルが形成されたのです。チャネルはソースとドレインをつなぐ電子の通り路になります。