

## イントロダクション

# CMOS アナログ IC の時代

## なぜ CMOS でアナログ集積回路を設計するのか？

1970年代の中ごろから、MOSトランジスタを用いたアナログ集積回路設計に関する論文が発表されるようになりました<sup>[1]-[5]</sup>。当時のアナログ集積回路はバイポーラ・トランジスタを用いて設計するのが主流で、MOSトランジスタの主な用途はマイクロプロセッサなどのデジタル回路でした。トランジスタ単体の特性を比べた場合、バイポーラ・トランジスタのほうがMOSトランジスタよりもノイズや動作周波数といった点で優れた特性をもつにもかかわらず、MOSアナログ集積回路のニーズが出てきたのはどうしてでしょうか。

当時MOSトランジスタでアナログ集積回路を設計するモチベーションとしては、MOSのプロセスで製造されているマイクロプロセッサなどのデジタル回路と同一のIC上にアナログ回路を形成したい、というニーズが出てきたことが挙げられます。たとえばマイクロプロセッサとアナログ入出力とのインターフェースとなるA-D/D-A変換回路を、同じチップ上に形成することでコストを低減することができます。

また1970年代に登場したスイッチト・キャパシタ回路による信号処理回路技術の発展も、MOSアナログ集積回路の需要の増加に寄与しました。スイッチト・キャパシタ回路は、スイッチ、容量(キャパシタ)、OPアンプによって構成され、容量に保持した電荷をスイッチを介して別の容量に転送することで信号処理を行います。MOSトランジスタを用いたスイッチは、オフセット電圧がほとんどゼロに近い良好な特性が得られます。またMOS OPアンプの入力バイアス電流は1pA程度と非常に小さいという特徴があります。容量に蓄えた電荷が逃げないようにするには、入力バイアス電流の小さなOPアンプが必須です。したがって、スイッチト・キャパシタ回路にはMOSの回路が適しています。

1980年代後半から1990年代にかけて、CMOSによるアナログ集積回路のニーズが急激に増えてきました。さまざまな機能ブロックをワンチップ化したASIC…特定用途向け集積回路を実現したいというニーズです。デジタル回路は高集

積・低消費電力といった特徴をもつCMOSで作られるため、ワンチップ化のためにはアナログ回路もCMOSで設計する必要があります。高精度A-D/D-A変換回路の主流技術としてデジタル音楽機器に不可欠となった $\Delta$ - $\Sigma$ 変調回路も、スイッチト・キャパシタ回路やデジタル・フィルタなど、CMOSの技術が使用されています。

一方、MOSトランジスタの欠点としては、バイポーラ・トランジスタに比べてノイズが大きいことが挙げられます。中でも $1/f$ ノイズと呼ばれる低周波ノイズは、バイポーラ・トランジスタに比べて1桁大きいとされています。しかしこの $1/f$ ノイズも、チョップ・アンプやオート・ゼロといった回路構成を用いることによって、MOSでも低ノイズ・低オフセットのOPアンプが作れるようになっています<sup>[6]-[8]</sup>。

またバイポーラ・トランジスタに比べて劣るとされていた最大動作周波数に関しても、CMOSプロセスの微細化の恩恵で動作周波数がGHzオーダのトランシーバ回路が実現されるまでにMOSトランジスタの動作スピードが上がってきました。従来バイポーラ・トランジスタで設計されていた高周波回路がCMOSに置き換わってきています。

本書ではCMOSアナログIC設計の基礎を解説するにあたって、内容をOPアンプの設計に特化しました。理由は、OPアンプはアナログ回路を構成するうえで最も重要な回路ブロックであるとともに、OPアンプを構成する回路要素(差動増幅回路、カレント・ミラー、バイアス回路、出力回路など)は、他の回路を学ぶうえでも重要な基本回路だからです。OPアンプの設計について学ぶことが、CMOSアナログIC設計の基本を学ぶうえで効果的であると考えました。

CMOSでアナログ回路を設計して、多様な機能をもったアナログ/デジタル混載回路をワンチップ化する流れは、今後益々強くなっていくと思われます。一昔前までのアナログ回路はバイポーラ・トランジスタが主流でしたが、これからはアナログ回路もCMOSが主流になります。

**▶ CMOSの長所**

- ・高集積・低消費電力のデジタル回路
- ・OPアンプの入力バイアス電流が非常に小さい(1 pA程度)
- ・良好な特性のスイッチ
- ・キャパシタが容易に作れる

**▶ CMOSの短所**

- ・MOSトランジスタの $1/f$ ノイズはバイポーラ・トランジスタに比べて1けた大きい
- ・動作速度がバイポーラ・トランジスタより劣る。しかし先端微細プロセスではGHzオーダの高周波回路をCMOSで作ることが可能になった。

**◆参考文献◆**

- [1] J. L. McCreary and P. R. Gray, "All-MOS charge redistribution analog-to-digital conversion techniques-Part I," IEEE J. Solid-State Circuits, vol.10, pp.371-379, 1975.
- [2] R. E. Suarez, P. R. Gray and D. A. Hodges, "All-MOS charge redistribution analog-to-digital conversion techniques-Part II," IEEE J. Solid-State Circuits, vol.10, pp.379-385, 1975.
- [3] D. A. Hodges, P. R. Gray and R. W. Brodersen, "Potential of MOS technologies for analog integrated circuits," IEEE J. Solid-State Circuits, vol.13, pp.285-294, 1978.
- [4] G. Jacobs, D. Allstot, R. W. Brodersen and P. R. Gray, "Design techniques for MOS switched capacitor ladder filters," IEEE Trans. Circuits Syst., vol.CAS-25, pp.1014-1021, 1978.
- [5] P. R. Gray and R. G. Meyer, "MOS operational amplifier design-A tutorial overview," IEEE J. Solid-State Circuits, vol.17, pp.969-982, 1982.
- [6] K-C. Hsieh, P. R. Gray, D. Senderowicz and D. G. Messerschmitt, "A low-noise chopper-stabilized differential switched-capacitor filtering technique," IEEE J. Solid-State Circuits, vol.16, pp.708-715, 1981.
- [7] C. C. Enz, E. A. Vittoz and F. Krummenacher, "A CMOS chopper amplifier," IEEE J. Solid-State Circuits, vol.22, pp.335-342, 1987.
- [8] T. Yoshida, Y. Masui, T. Mashimo, M. Sasaki and A. Iwata, "A 1V low-noise CMOS amplifier using autozeroing and chopper stabilization technique," IEICE Trans. Electron., vol.E89-C, No.6, pp.769-774, 2006.