

第2章

活用の決め手はゲート特性を理解すること

高速スイッチング動作を実現する資質をもったパワー MOS ですが、
 高速動作を現実のものとするには
 ゲート入力容量の非線形な性質をしっかりと理解する必要があります。
 ここでは実験を通してパワー MOS のゲート特性を確認します。

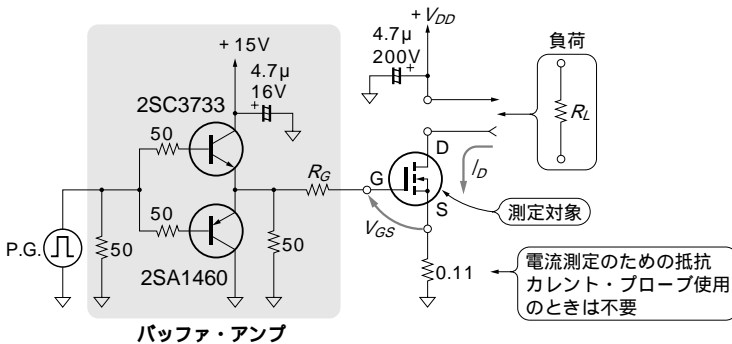
2-1

抵抗負荷をスイッチングするだけでも…

スイッチング測定ではテスト回路の構成が重要

図 2-1 にパワー MOS の基本スイッチング動作の測定回路を示します。普通の (エンハンスメント型) N チャンネル・パワー MOS を **ターン・オン**...スイッチ ON させるには、数 V (パワー MOS 固有の V_{GS}^*) の電圧をゲート・ソース間に加えるだけです。 **ターン・オフ**...スイッチ OFF するにはゲート・ソース間を 0 V にします。

パワー MOS を ON/OFF するためのデバイス固有の V_{GS}^* はメーカによって呼び方が異なります。 **ゲートしきい値電圧 $V_{GS(OFF)}$** と呼んだり、 **ゲート・スレッシ**



[図 2-1] パワー MOS のスイッチング特性テスト回路

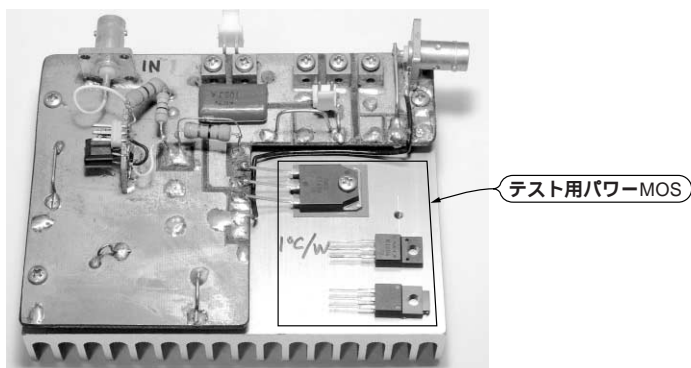
ヨルド電圧 $V_{GS(th)}$ と呼んだり、ゲート・カットオフ電圧 $V_{GS(off)}$ と呼んだりしています。本書ではゲート・スレッシュホールド電圧 $V_{GS(th)}$ と呼ぶことにします。

第1章・図1-1の実験でもわかるように、パワー MOS はスイッチング速度が普通のトランジスタより原理的に速いのが大きな特徴です。そのため、測定にはスイッチング動作を行うためのテスト回路も大切です。

理想に近いスイッチング回路を作るためには、ゲートをドライブする側...ここではパルス・ジェネレータの出力インピーダンスを十分下げる必要があります。図2-1では、パルス・ジェネレータ出力に高速動作のバッファ・アンプ...**プッシュプル・エミッタ・フォロワ**を追加しています。

また、測定時にスイッチング素子が発熱しないような工夫も必要です。発熱を抑えるために、ゲート・ドライブ波形のパルス幅が 400 ns であるのに対してパルス周期を 10 ms(100 Hz)にしています。ON 時間に比べて周期を十分長めにすることで発熱を抑えています。

パワー MOS のスイッチング特性の詳細は後述しますが、特性そのものは結論としてゲート・ドライブ・インピーダンスに大きく依存します。そのため図2-1の



[写真 2-1] パワー MOS スwitching特性の実験回路

上から 2SK1499, 2SK811, 2SK1994

[表 2-1] 実験するパワー MOS の主な電気的特性

	最大定格		オン抵抗 $R_{DS(on)}$	ゲート入力容量 C_{iss}
	電圧	電流		
2SK1994	900V	2A	7.5	430pF
2SK811	100V	12A	0.11	1200pF
2SK1499	450V	25A	0.25	3300pF

実験回路では、ゲート直列抵抗 R_G を自由に変更できるようにしました(写真 2-1)。電源電圧には可変電源源を使い、電源端子は $4.7 \mu\text{F}$ のフィルム・コンデンサでバイパスしてあります。

表 2-1 が、ここで実験するパワー MOS の主な電気的特性を比較したものです。

スイッチング特性... V_{GS} の波形が綺麗ではない

2SK1994 は許容ドレイン損失 $P_D = 30 \text{ W}$ タイプの高電圧スイッチングに適するパワー MOS で、スイッチング特性が優れていると言われているデバイスです。

写真 2-2 は $R_L = 50 \Omega$, $V_{DD} = 50 \text{ V}$ (したがって $I_D = 1 \text{ A}$) , ゲート直列抵抗 $R_G = 25 \Omega$ でのスイッチング波形です。パワー MOS のスイッチング回路では、安定動作の目的でゲートに数 Ω から数十 Ω の抵抗 R_G を挿入するのが常識です(詳細は後述)。

写真 2-2 において上の波形がドレイン・ソース間電圧 V_{DS} , 下の波形がゲート・ソース間電圧 V_{GS} です。 V_{GS} がパワー MOS 自体のもつスレッショルド電圧 $V_{GS(th)}$ を越えると、ドレイン電流 I_D が流れ始めて V_{DS} が低下して、ドレイン・ソース間が ON していることがわかります。

ところが下の波形... V_{GS} に目を向けると、観測された波形にはノイズが乗っているように見えます。電圧駆動でインピーダンスが高いはずの V_{GS} の波形がスイッチングのときこのように汚くなるというのは、何か問題がありそうです。

また、パワー MOS が完全に ON した状態ではドレイン・ソース間は飽和しているはずですが、波形をよく見ると V_{DS} も 0 V ではなくて $6 \sim 7 \text{ V}$ の電圧が残っています。しかし、これはパワー MOS のオン抵抗 $R_{DS(on)}$ の存在によるもので、理由ははっきりしています。実験に使用した 2SK1994 の仕様では、表 2-1 からドレイン電流 $I_D = 1 \text{ A}$ 時のオン抵抗は 7.5Ω です。約 1 A のドレイン電流 I_D ですから、 $6 \sim 7 \text{ V}$ の電圧降下は妥当です。

[写真 2-2] 2SK1994, $R_G = 25 \Omega$, 50Ω 抵抗負荷, 入力パルス幅 400 ns 時のスイッチング特性 (上: 20 V/div. , 下: 5 V/div. , 100 ns/div.)
パワー MOS で、スイッチング特性が優れていると言われても V_{GS} 波形はきれいではない

