

第1章

VHDL 基本構文

1.1 VHDL とは

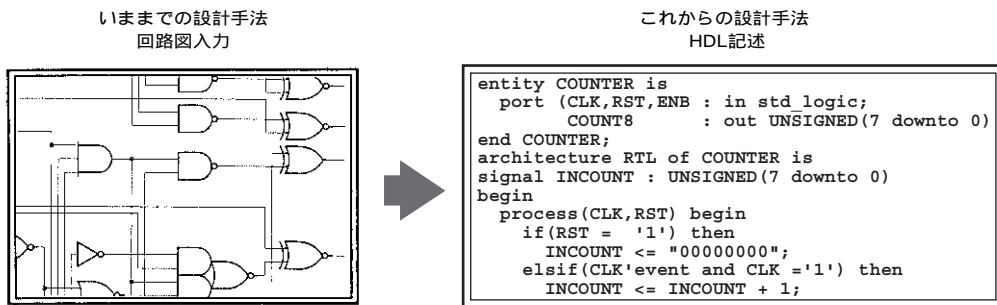
HDL(ハードウェア記述言語)設計のメリット

HDL(ハードウェア記述言語)による設計手法は、すでに ASIC(特定用途向け集積回路)などの大規模集積回路の設計でさかんに利用されています。HDLによる設計は ASICに限らず、FPGA や PLD などを使用した比較的小規模な設計にもさまざまなメリットをもたらします。図 1.1 に回路図入力による設計と HDL による設計の比較を示します。

HDL による設計は、より抽象度の高いレベルで設計することにより、難しい論理式から設計者を解放し、設計期間を短縮することができます。また、抽象度の高い記述であるということは、それだけ設計の変更が容易になるということで、設計者はより完成度の高いシステムを構築することができます。

1990年当時、ハードウェア記述言語には VHDL(VHSIC HDL)、Verilog HDL、UDL/K(Unified Design

図 1.1 回路図入力による設計と HDL 入力による設計



	回路図入力	HDL 設計	
1	回路図入力に時間がかかる	テキストで簡単に入力	設計期間の短縮(1/2~1/3に)
2	論理式(ブール代数)を考える必要がある	論理式を考える必要がない	
3	回路変更がたいへん	回路変更が容易	より完成度の高いシステムの構築
4	設計者以外では、内容を理解しづらい	だれにでも内容を理解しやすい	
5	特定の半導体メーカのライブラリを使用して回路図入力する	半導体メーカのライブラリを使用しない。どのメーカでも作成可能	設計の再利用が容易

表 1.1
各種HDLの比較

言語名	開発元	特 徴
VHDL	米国国防省が中心となつて開発	幅広い分野の記述が可能．高い記述能力
Verilog HDL	シミュレータ Verilog の言語として開発	幅広い分野の記述が可能だが，VHDL ほど記述能力は高くない
SFL	PARTHENON システムの言語として開発	RTL での記述のみ可能．完全同期式の回路に限定している．単純でわかりやすい記述
UDL/I	日本電子工業振興協会において開発	RTL での記述のみ可能．同期式の回路記述は単純化されている

Language for Integrated Circuit)，SFL(Structured Function description Language)などがありました．それぞれの特徴を表 1.1 に示します．このうち，現在ではVHDLと Verilog HDL が広く普及し，使用されるようになってきました．現在，ロジック回路設計の大半が，この二つのハードウェア記述言語によって設計されています．

VHDL の歴史

VHDL は，米国国防省のVHSIC(Very High Speed Integrated Circuit)委員会が1981年に提唱されました．大規模ICの開発には，より上位レベルの検証が求められていました．また当時，国防省向けASICの開発は長いもので3年から4年もかかっていた．その間，半導体のプロセスは進歩し，開発当初の時点では一番スピードが速いASICを使用していたのが，開発が完了する時点では時代遅れになってしまうという問題が生じていました．そこで直接ロジック・ゲートを回路図で入力するのではなく，ハードウェア記述言語(HDL)で設計することによって，開発終了時に一番スピードの速いASICを選択できるようにする必要がありました．

こうして，1983年にVHDLの仕様作成が始まり，1985年に作業が完了しました．1986年にはマニュアルにまとめられ，バージョン7.2として公開されました．現在では，米国国防省が調達するすべてのASICは，VHDL記述付きで納入するように義務づけられています．

その後，1986年にはIEEE(米国電気電子技術者協会)による標準化作業が，VASG(VHDL Analysis & Standardization Group)委員会で行われました．1987年5月にはLRM(言語仕様書；Language Reference Manual)が作成され，12月にIEEE Std 1076-1987として承認されています．

そして，1992年に文法の改訂作業が行われ，1995年にIEEE Std 1076-1993として承認されました(以後，VHDL 93と称す)．この新しい仕様は1998年頃から使用され始めています．本文中，この新しい仕様で追加された文法については「(VHDL 93)」として，本文中に明記します．

IEEEは，米国の技術者の集まりという位置づけですが，ここで承認されたものが世界の標準として認められる権威ある団体で，VHDLも全世界の標準HDLとして広く普及しています．

1989年には，VHDLシミュレータやVHDL記述からロジック回路を生成するソフトウェア(論理合成ツール)がEDAベンダから販売されるようになり，実際にロジック回路設計に用いられるようになりました．

2003年現在，ロジック回路設計は15年前には想像できなかったほど大規模なものとなりました．この大規模設計を実現できたのは，VHDL，Verilog HDLといったハードウェア記述言語のおかげと言われています．