

## Cortex-M3 の概要

このPDFは、CQ出版社発売の「ARM Cortex-M3システム開発ガイド」の一部分の見本です。内容・購入方法などにつきましては以下のホームページをご覧ください。  
<<http://shop.cqpub.co.jp/hanbai/books/36/36491.htm>>

この章では以下の項目を紹介します。

- ▶ Cortex-M3の基礎
- ▶ レジスタ
- ▶ 動作モード
- ▶ 内蔵のネスト型ベクタ割り込みコントローラ
- ▶ メモリ・マップ
- ▶ バス・インターフェース
- ▶ メモリ保護ユニット
- ▶ 命令セット
- ▶ 割り込みと例外
- ▶ 低消費電力と高いエネルギー効率
- ▶ デバッグ・サポート
- ▶ 特徴のまとめ

### 2.1 Cortex-M3の基礎

Cortex-M3は32ビット・マイクロプロセッサです。32ビットのデータ・バス、32ビットのレジスタ・バンクおよび32ビットのメモリ・インターフェースがあります。プロセッサはハーバード・アーキテクチャを採用しており、命令バスとデータ・バスを別々にもっています。このアーキテクチャは、命令アクセスとデータ・アクセスを同時にすることができます。また、この結果、データ・アクセスは命令パイプラインに影響しないので、プロセッサの性能は向上します。この機能により、Cortex-M3は多種のバス・インターフェースをもち、それぞれが最適化された処理と、同時に動作する能力があります。しかし、命令バスとデータ・バスは同じメモリ空間(統合メモリ)を共有します。言い換えれば、個別のバス・インターフェースをもつからといって、8Gバイトのメモリ空間を個別にもてるわけではありません。

多くのメモリを必要とする複雑なアプリケーションの場合、Cortex-M3プロセッサはオプションでMPUをもっているため、必要であれば外部キャッシュを使用できます。リトル・エンディアン・メモ

リ・システムとビッグ・エンディアン・メモリ・システムの両方をサポートしています。

Cortex-M3 プロセッサは固定の内部デバッグ回路を備えています。これらの回路は、ブレイクポイントとウォッチポイントなどのデバッグ操作のサポート機能を提供します。

さらに、オプションの回路で、命令トレースやさまざまなタイプのデバッグ・インターフェースなどのデバッグ機能を提供します (図 2.1)。

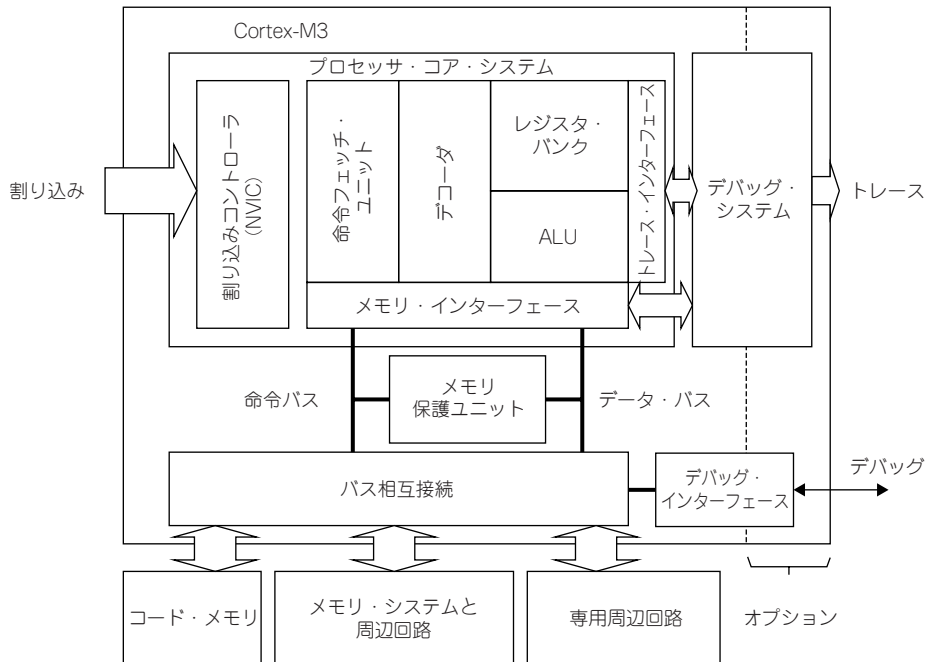


図 2.1 Cortex-M3 の概略

## 2.2 レジスタ

Cortex-M3 プロセッサにはレジスタ R0～R15 があります。R13 (スタック・ポインタ) はバンク・レジスタで、一度には片方のレジスタにだけアクセスできます (図 2.2)。

### 2.2.1 R0～R12 : 汎用レジスタ

R0～R12 はデータ操作用の 32 ビット汎用レジスタです。一部の 16 ビット Thumb 命令は、これらのレジスタのサブセット (下位レジスタ, R0～R7) だけにアクセスできます。

### 2.2.2 R13 : スタック・ポインタ

Cortex-M3 は R13 として二つのスタック・ポインタをもっています。一度には片方のレジスタにだけアクセスできます。