

メモリ・システム

このPDFは、CQ出版社発売の「ARM Cortex-M3システム開発ガイド」の一部の見本です。内容・購入方法などにつきましては以下のホームページをご覧ください。
<<http://shop.cqpub.co.jp/hanbai/books/36/36491.htm>>

この章では以下の項目を紹介します。

- ▶ メモリ・システムの機能概要
- ▶ メモリ・マップ
- ▶ メモリ・アクセス属性
- ▶ デフォルトのメモリ・アクセス許可
- ▶ ビットバンド操作
- ▶ アンアラインド転送
- ▶ 排他アクセス
- ▶ エンディアン・モード

5.1 メモリ・システムの機能概要

Cortex-M3 プロセッサは従来の ARM プロセッサとは異なるメモリ・アーキテクチャをもちます。まず、あるメモリの場所がアクセスされた場合、どのバス・インターフェースが使用されるかを指定する定義済みのメモリ・マップがあります。この機能により、異なるデバイスをアクセスする場合にアクセス動作が最適になるようにプロセッサを設計できます。

Cortex-M3のメモリ・システムのもう一つの機能はビットバンド・サポートです。これはメモリまたはペリフェラル中のビット・データにアトミックな操作を提供します。ビットバンド操作は特別なメモリ領域でのみサポートされます。この機能は、本章の後半でより詳細に取り上げます。

Cortex-M3メモリ・システムはさらにアンアラインド転送 (Unaligned transfer) と排他アクセスをサポートします。これらの機能はv7-Mアーキテクチャの一部です。最後に、Cortex-M3はリトル・エンディアン・メモリ構成とビッグ・エンディアン・メモリ構成の両方をサポートします。

5.2 メモリ・マップ

Cortex-M3 プロセッサには決められたメモリ・マップがあります (図5.1)。これにより、あるCortex-

M3 製品から別の製品へソフトウェアを移植するのが容易になります。たとえば、NVIC と MPU のような前のセクションで述べたコンポーネントは、すべての Cortex-M3 製品中で同じメモリ位置にあります。しかし、製造メーカーが Cortex-M3 ベースの製品をほかのものと差別化できるように、メモリ・マップの定義には大きな柔軟性があります。

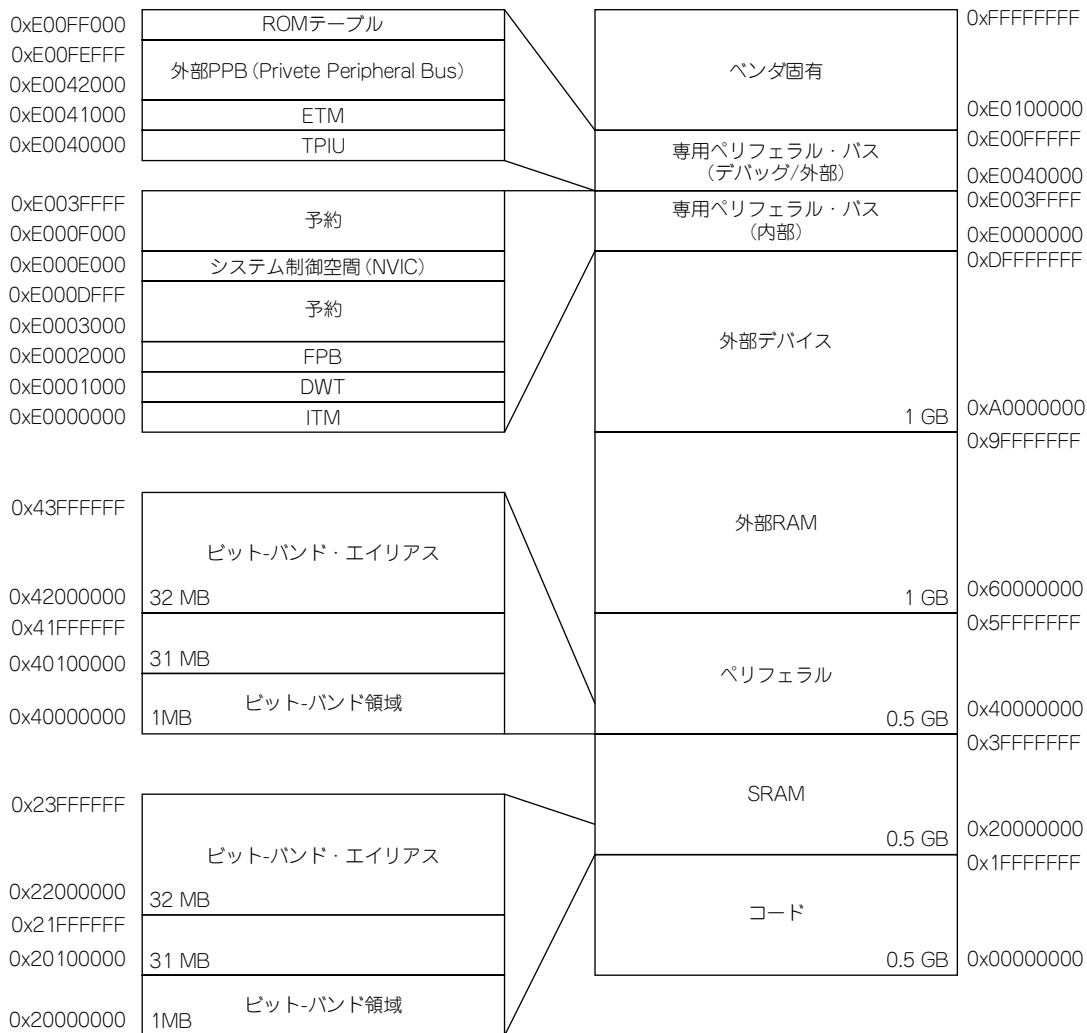


図 5.1 Cortex-M3 であらかじめ定義されているメモリ・マップ

メモリ配置のうちのいくつかはデバッグ・コンポーネントのような専用の周辺装置に割り付けられています。それらは専用の周辺メモリ領域に位置します。これらのデバッグ・コンポーネントは次のものを含んでいます。

- ▶ フェッチ・パッチとブレイクポイント・ユニット (FPB ; Fetch Patch and BreakPoint Unit)
- ▶ データ・ウォッチポイントとトレース・ユニット (DWT ; Data WatchPoint and Trace Unit)