

Cortex-M3の実装概要

このPDFは、CQ出版社発売の「ARM Cortex-M3システム開発ガイド」の一部の見本です。
 内容・購入方法などにつきましては以下のホームページをご覧ください。
<http://shop.cqpub.co.jp/hanbai/books/36/36491.htm>

この章では以下の項目を紹介します。

- ▶ パイプライン
- ▶ 詳細なブロック図
- ▶ Cortex-M3のバス・インターフェース
- ▶ Cortex-M3のほかのインターフェース
- ▶ 外部専用ペリフェラル・バス
- ▶ 典型的な接続
- ▶ リセット信号

6.1 パイプライン

Cortex-M3プロセッサには3段のパイプライン・ステージがあります。パイプライン・ステージは命令フェッチ、命令デコードおよび命令実行です (図6.1)。

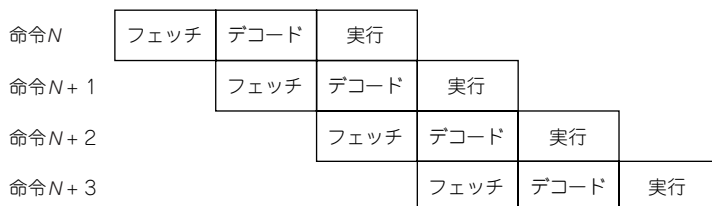


図6.1 Cortex-M3の中の三つのパイプライン・ステージ

メモリにアクセスするとき、バス・インターフェースのパイプライン動作のために、四つのステージがあると主張する人がいるかもしれませんが、しかし、このステージはプロセッサの外部なので、プロセッサ自体には三つのステージしかありません。

ほとんどの16ビット命令でプログラム実行する場合、プロセッサがすべてのサイクルで命令フェッチをするわけではないことがわかります。これは、プロセッサが1回で二つまでの16ビット命令 (もしくは

は一つの32ビット命令)をフェッチするからです。したがって、一つの命令がフェッチされた後、次の命令はすでにプロセッサ内部にあります。この場合、プロセッサ・バス・インターフェースは、その後の命令を取って来ようとするでしょう、あるいは、バッファがフルの場合、バス・インターフェースはアイドルでもかまいません。命令のうちのいくつかは、実行するのに複数サイクルかかります。この場合、パイプラインは停止します。

分岐命令を実行する際に、パイプラインはフラッシュされます。プロセッサはふたたびパイプラインを満たすのに、分岐先から命令をフェッチする必要があります。しかし、Cortex-M3プロセッサはv7-Mアーキテクチャの多くの命令をサポートしているので、短距離の分岐のうちのいくつかは、それらを条件実行コードに置き替えることで、回避できます注1。

プロセッサのパイプラインの特性およびプログラムがThumbコードと互換性をもつようにするために、命令実行中にプログラム・カウンタが読まれる場合、読み取り値は命令のアドレスに4を加えたものになります。16ビットのThumb命令と32ビットのThumb-2命令の組み合わせとは無関係に、このオフセットは定数です。これは、Thumb命令とThumb-2命令の一貫性を確保します。

プロセッサ・コアの命令プリフェッチ・ユニット内には、命令バッファがあります(図6.2)。このバッファにより、追加の命令が必要となる前に待ち行列にさせておくことができます。このバッファは、命令シーケンスがワードでそろっていない32ビットThumb-2命令を含んでいる場合に、パイプラインが失速するのを防ぎます。しかし、このバッファはパイプラインに余分なステージを加えないので、分岐ペナルティを増やしません。

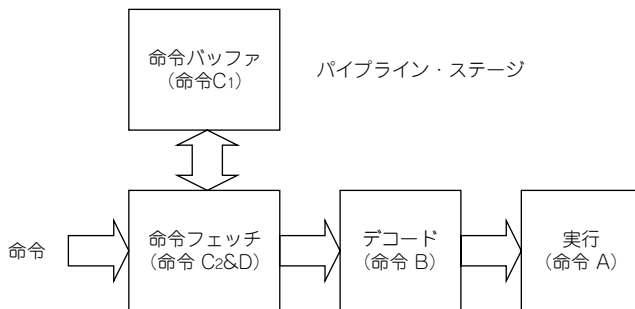
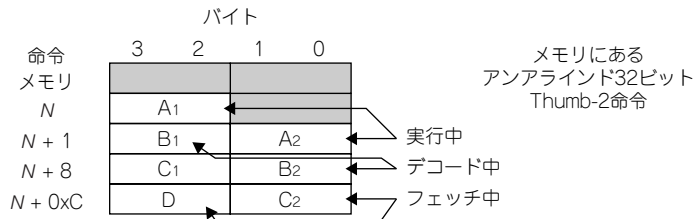


図6.2
32ビット命令の処理を改善するための命令フェッチ・ユニット内のバッファの使用法

注1：詳細に関しては、第4章の「IF - THEN 命令」節を参照。