

# メモリICの 実践活用法

桑野雅彦 著

UV-EPROM/EEPROM/SRAM/DRAMの構造と使い方

見本



CQ出版社

## まえがき

約 50 年前、ごく初期のコンピュータのメモリには水銀遅延線やコンデンサ・ドラム、CRT メモリなどが使われ、その後もコア・メモリなどが使われてきました。これが IC 技術の進歩とともに電子回路で記憶を行うメモリ IC(半導体記憶素子)が全盛となり、現在に至っているわけです。

メモリが IC 化され、さまざまな目的や用途に応じた開発が続けられた結果、現在のメモリ IC は、実に多様な進化/発展をとげています。パソコンの世界でもメイン・メモリに使われるダイナミック RAM, BIOS や各種のメモリ・カードに入っているフラッシュ・メモリなどとどまらず、ちょっとしたオプション・カードで設定情報を格納するためにシリアル EEPROM, ボード間の通信用に FIFO やデュアル・ポート・メモリが利用されるなど、細かく見ていくと実にさまざまなメモリ IC が使われていることがわかります。

これらのメモリ IC についての資料は、メーカーの個別のデータシートとしては出ているものの、それらはすでにそのデバイスの特性や取り扱いについて十分把握しているエンジニア向けに書かれており、**見本** 初学者にはとっつきにくいものでしょう。また、デバイスのデータシートでは電気特性や外形といった具体的な部分が主体であって、そのデバイスの中身がどのようなになっているかといったことや、どのような考えで作られているのかといったことにはほとんど触れられていないため、ある種類のデバイスが他のデバイスと比較したときにどのような特徴をもつのかといったこともなかなかわかりにくいのではないかと思います。

本書はこのような背景をふまえ、今日一般に広く流通しているメモリ IC を対象に、それらの基本的な構造や記憶の行い方といった一般的なことがらに加えて、実際にメーカーから出ているデバイスを例に、データシートの読み方やデバイスの使い方について解説することにしました。ここで紹介できなかった種類のメモリ IC もいくつもありますが、それらもまったく新しいというのではなく、従来からあった技術をベースに新しい素材、新しい技術を取り入れて改良を図ったものであると言えるでしょう。それらのデバイスの動作や従来品と比べた特徴を読み解くための基礎知識としても、本書は役に立つのではないかと思います。

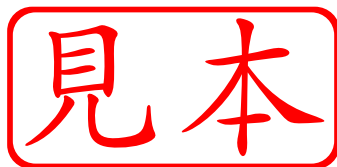
インターネットはその急速な普及とともに、さまざまなサービスや情報の提供の場とな

りました。ネットワークの強化と足並みを揃えるように扱われる情報、流される情報は爆発的に増加し、それらを利用して動く電子機器も次々に登場してきています。それらの電子機器の要となる動作は、なんと言っても情報の伝達・記録/蓄積・再生でしょう。そのもっとも重要な部分となる記録/蓄積・再生を司るのがメモリ IC です。すなわち、情報あるところにメモリ IC ありきと言えるでしょう。

本書では紹介できませんでしたが、最近では MRAM (磁気抵抗 RAM) や FeRAM (強誘電体メモリ) なども製品化や普及の傾向が見られ、携帯分野でのメモリの動向もだいぶ騒がしくなっています。

本書がマイコン応用製品技術者にならんとする方々の助けになることを願ってやみません。

2001年 盛夏 著者



# 第1章

## UV-EPROMの構造と使い方

UV-EPROMのUVはUltra Violet, すなわち紫外線のこと, EPROMはErasable Programmable Read Only Memoryの略です。UV-EPROMはフラッシュ・メモリが登場する以前によく使われたものです。消去と再書き込みが行えるROMということですから, フラッシュ・メモリもEPROMの一種ということになりますが, 単にEPROMといった場合はUV-EPROMのことを指すのが一般的です。

UV-EPROMはその名のとおりに消去を紫外線によって行います。デバイスの上部には紫外線を当てるための窓がけられ, 透明な蓋がはめ込まれています。消去時にはこの窓から紫外線を当てて消去します。書き込みが終了したデバイスは, この窓の部分に遮光シールを貼って, 太陽光や蛍光灯など紫外線を含む光に当たって消えることのないようにするという使い方が一般的です。カメラのストロボなどが当たってもデータが正しく読めなくなる場合があります。

### 1.1 UV-EPROMの構造と特徴

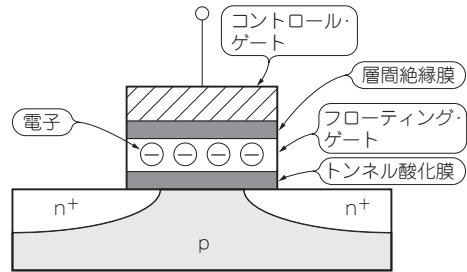
#### ● UV-EPROMのセル構造

UV-EPROMのセル構造は図1-1のようになっています。基本構造は次章で解説するフラッシュ・メモリと同様で, NチャンネルMOSFETのゲート部分にフローティング・ゲートと呼ばれるものが作られているのが特徴です。

フローティング・ゲートは酸化膜によってゲートや基盤と絶縁されているので, ここに蓄えられた電荷は簡単に放出されることなく, 記憶を保持し続けることができるという仕組みです。フラッシュ・メモリと同じように, フローティング・ゲートに電荷が蓄えられているときといないときでFETのゲート・スレッショルド電圧が変化することを利用して

〈図1-1〉

## UV-EPROMのセル構造



て“H” / “L”の判定を行います。この動作については第2章も参照してください。一般的にUV-EPROMでは消去状態(フローティング・ゲートに電荷が蓄えられていない状態)で“H”が読み出され、電荷を注入した状態で“L”が読み出されるようにしています。

### ● UV-EPROMの書き込みと消去

書き込み時はゲートに高い電圧 $V_{PP}$ をかけることで、図1-2のようにフローティング・ゲートに電子を注入します。注入後の電子はシリコン酸化膜のエネルギー障壁をくぐり抜けるだけのエネルギーがないため、そのまま保持されます。

フローティング・ゲートに紫外線を当てると、フローティング・ゲート中の電子が紫外線の光子のエネルギーを受け取り、シリコン酸化膜のエネルギー障壁をくぐり抜けられるだけのエネルギーをもったホット・エレクトロンとなります。ホット・エレクトロンは図1-3のようにシリコン酸化膜をくぐり抜けて基盤やゲートに流れ出し、消去状態に復帰することになります。消去状態にできるのは紫外線を当てる方法のみで、電気的に消去することはできません。つまり、UV-EPROMでは“1”から“0”の方向へのビット変化だけが可能で、逆方向はチップ全体を消去する以外に方法がないわけです。

光のエネルギーは波長に反比例しますので、電子をホット・エレクトロン化し、酸化膜を通過させるだけのエネルギーを与えるためには十分波長の短い光、つまり紫外線が必要となるわけです。ただし、消去時間は光子の数に依存するため、ある程度以上波長が短くなくても消去時間は短縮されません。一般に、波長 $4000 \text{ \AA}$  (= 400 nm)程度から消去が行われはじめ、 $3000 \text{ \AA}$ 程度でほぼ飽和し、それ以上波長が短くなくても消去時間には影響しなくなります。

UV-EPROMの場合、消去の標準的な条件は波長 $2537 \text{ \AA}$ で $12,000 \mu\text{W}/\text{cm}^2$ の紫外線を15～20分程度というものが一般的です。

消去メカニズムからもわかるとおり、フローティング・ゲートの電荷消失は、熱エネル

## 第2章

# フラッシュ・メモリの構造と使い方

フラッシュ・メモリ (flash memory) は、大容量 (低価格)、オンボードで書き換えが可能、不揮発性、低消費電力といった特徴を兼ね備えたメモリ・デバイスで、従来の UV-EPROM (紫外線消去型 EPROM) の置き換えなどとしてのほか、シリコン・ディスクや機器の設定情報データの格納などに広く使われています。

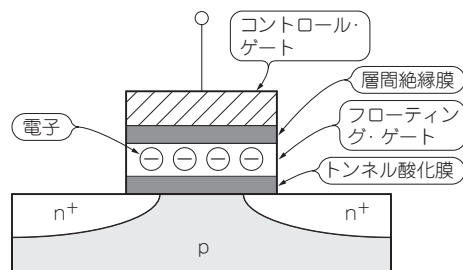
### 2.1 フラッシュ・メモリの概要

フラッシュ・メモリの基本的なメモリ・セル構造は図2-1のようになっています。一見したところはNチャネルのMOSFETそのものですが、通常のFETと違ってゲート (コントロール・ゲート) とドレイン/ソースとの間にフローティング・ゲートが存在しているところが特徴です。フラッシュ・メモリはこのフローティング・ゲートを使ってデータを記憶しているのです。

フローティング・ゲートは電荷を蓄積できるようになっており、ゲートや基板とは酸化膜によって絶縁されているため、いったん蓄えられた電荷は長期間 (10年程度以上) に渡

〈図2-1〉

フラッシュ・メモリのセル構造



## 第3章

# EEPROMの構造と使い方

EEPROMはElectric Erasable Programmable Read Only Memoryの略ですから、意味としては電氣的に消去可能なEPROMということになります。フラッシュ・メモリと異なり、EEPROMは1バイト単位での書き換えが行えること、しかもバッテリーなどで電源を供給しなくてもデータが消滅しないという大きな特長があるのですが、1バイト単位での消去を実現するためにフラッシュ・メモリほど集積度が上げられません。

たとえば、フラッシュ・メモリは現状(2000年1月現在)でも256 Mビット品というものもありますが、EEPROMは1 Mビットという状況です。このため、フラッシュ・メモリがPCのBIOSなどのファームウェア格納用や、シリコン・ディスクなどのブロック単位でのアクセスを行うものに利用されるのに対して、EEPROMは携帯電話など、比較的小型の機器で細々とした設定情報などをその場で書き換えるような用途で使用されることが多いようです。

### 3.1 EEPROMの概要

EEPROMは、フラッシュ・メモリと同様のピン配置でパラレルにデータを入出力できるパラレルEEPROMと、8ピンなどの小さなパッケージで1ビットずつデータをやりとりするシリアルEEPROMに大きく分けられます。表3-1に一般的なフラッシュ・メモリ、パラレルEEPROM、シリアルEEPROMの比較を整理しました\*1。

パラレルEEPROMは、1バイト単位での書き換えができるという点がフラッシュ・メモリと違う程度で、ほぼ同じように扱うことができます。一般的なマイクロプロセッサを接続してプログラム格納用に使うこともできますが、前述のように容量が上げられないので、1バイト単位での書き換えが必須な用途での利用が主体になるでしょう。

〈表3-1〉フラッシュ・メモリとEEPROMの比較

	フラッシュ・メモリ(パラレル)	パラレルEEPROM	シリアルEEPROM
容量	大	中	小
パッケージ	大～中	大～中	小
消去単位	チップ全体・またはブロック	1ワードごと	1ワードごと
プログラム単位	1ワード (“1” → “0”方向のみ)	1ワードごと	1ワードごと
プログラム方法	コマンド・シーケンス要	ライト・アクセス動作のみで可	コマンド発行
リード速度	速い	速い	遅い
動作	非同期	非同期	クロック同期
制御信号	アドレス, データ, チップ・セレクト, リード, ライト		I <sup>2</sup> C : クロック, データ Microwire : クロック, チップ・セレクト, データ SPI : クロック, データ IN/OUT, チップ・セレクト, ホールド

見本

一方、シリアルEEPROMのほうは、アドレスやコマンドなども含めて1ビットずつのやりとりになるので、データ転送速度は上げられませんが、アクセスに使うピン数が少なくすむため、ワンチップ・マイコンのようにI/Oピンが限られているプロセッサとも簡単にインターフェースできます。この特徴を生かしてもっぱら小規模システムでの周辺機器の設定情報を取めたりするほか、FPGAなどの初期化用データを格納しておく目的で利用されることもあります。容量は現状大きなものでも512Kビット程度までが主流で、小さいほうは他のメモリ・デバイスではほとんど見ることもなくなった1Kビット未満のものまで現行製品として存在しています。

## 3.2 シリアルEEPROM

シリアルEEPROMのインターフェースとして一般的なものは、I<sup>2</sup>C(Inter IC

\*1: フラッシュ・メモリも電氣的に消去可能であるからEEPROMと言うことができる。実際にフラッシュ・メモリのことを「フラッシュEEPROM」と呼ぶこともあるが、フラッシュ・メモリがチップ全体、ないしある程度大きなブロック単位での消去しかできないのに対して、1バイト単位でのリード/ライトが可能なるものをEEPROMと呼んで区別することが一般的。EEPROM内部のメモリ・セル構造の考えかたはフラッシュ・メモリと同じであり、消去部分を1バイトごとに選択できるようにしたと考えればよい。



## 第4章

# SRAMの構造と使い方

SRAMはStatic Random Access Memoryの略です。SRAMのファミリには、通常の平行・バスのSRAMのほか、デュアル・ポートSRAMやFIFOメモリ、CPUのキャッシュ・メモリなどによく使われるシンクロナス・パイプライン・バーストSRAMなど、いくつもの種類がありますが、いづれもメモリ・セルの基本的な構造自体は同じで、周辺のインターフェース部分にいろいろと細工をしています。

SRAMの記憶セルは、フラッシュ・メモリやダイナミックRAMのような特殊な構造で記憶を行うのではなく、トランジスタで組んだ回路の動作状態で記憶を行います。回路はいろいろと考えられますが、一般に「フリップフロップ」と呼ばれる2値状態をとる回路で1ビットの記憶を行うのが普通です。

フリップフロップの状態で記憶を行っているということからわかるとおり、電源を切ると記憶内容は失われます。また、DRAMやフラッシュ・メモリなどが1ビットの記憶を行うのにトランジスタを一つしか使わないのに比べると、どうしてもセルのサイズが大きくなるので記憶容量の面では不利になります。そのかわり、通電されている状態ではDRAMのリフレッシュ動作のような記憶保持動作は不要ですし、フラッシュ・メモリやEEPROMのようなデータの書き換え寿命もなく、特殊な高電圧も不要で、しかも書き換え時間が速いという特徴があります。

また、非動作時の消費電力は極めて小さくすることが可能なので、バッテリー・バックアップが簡単に行えるというのも大きな特徴です。

ここでは、SRAMの基本的な構造について触れたあと、SRAMとそのファミリの概略について説明します。また、SRAMの低消費電力という特徴を利用するという観点から、バッテリー・バックアップ付きのSRAMボードを製作してみました。

## 第5章

# 特殊なSRAMの構造と使い方

ここでは、特殊な用途のSRAMとして、前章で簡単に触れたデュアル・ポートSRAMとFIFO(First In First Out)について解説します。

### 5.1 デュアル・ポートSRAM

デュアル・ポートSRAMはクロックに非同期のものと、クロック同期で動くタイプの2種類があります。同期型は単に非同期タイプのものに外部にラッチを付けたというのではなく、シンクロナス・バーストSRAMのように自動的にアドレスをインクリメントしていくような機能ももたせています。

また、非同期型では左右両ポートから同一アドレスへのアクセスが行われて衝突した場合に、 $\overline{\text{BUSY}}$ 信号によってあとからアクセスしてきた側が待たされますが、同期型の場合にはこのような制御はなく、双方のアクセスを非同期に行うことが可能です。

#### ● 非同期型デュアル・ポートSRAM

非同期型のデュアル・ポートSRAMの例として、Cypress社のCY7C019を見ていきましょう。CY7C019の内部ブロックは図5-1のようになっています。

中央部分にあるのがデュアル・ポート・メモリ・アレイで、二つのアドレスを同時に受け付けられるようにした記憶素子がなっています。その下のブロックが両者のアクセスの衝突が起きたときのアービトレーション、および割り込みやセマフォ機能といった付録的な機能や複数接続してビット幅を拡張するための信号制御などを実現した部分です。

デュアル・ポートSRAMの場合、双方のアクセスがいつ発生するかは予想できません。片方がメモリ・セルの内容を更新しているときに同じアドレスを読み出そうとしたような場合には、あとからきたアクセスを待たせる必要が出てきます。このため、 $\overline{\text{BUSY}}$ 信号を

用意しています。

複数のデュアル・ポートを接続する場合、それぞれのアクセス調停ロジックが単独で一ビットレションを行うと、きわどいタイミングで双方のアクセスが衝突した場合、あるデバイスはLEFTポートにアクセス権を与えてRIGHTポートに $\overline{\text{BUSY}}$ を返したが、他のデバイスは逆にRIGHTポートにアクセス権を与えてLEFTポートに $\overline{\text{BUSY}}$ を返すということが起きてしまいます。このために設けられたのがマスタ/スレーブ機能で、マスタ・デバイスのアービトレーション機構の判定結果にスレーブ・デバイスが追従するという形をとります。

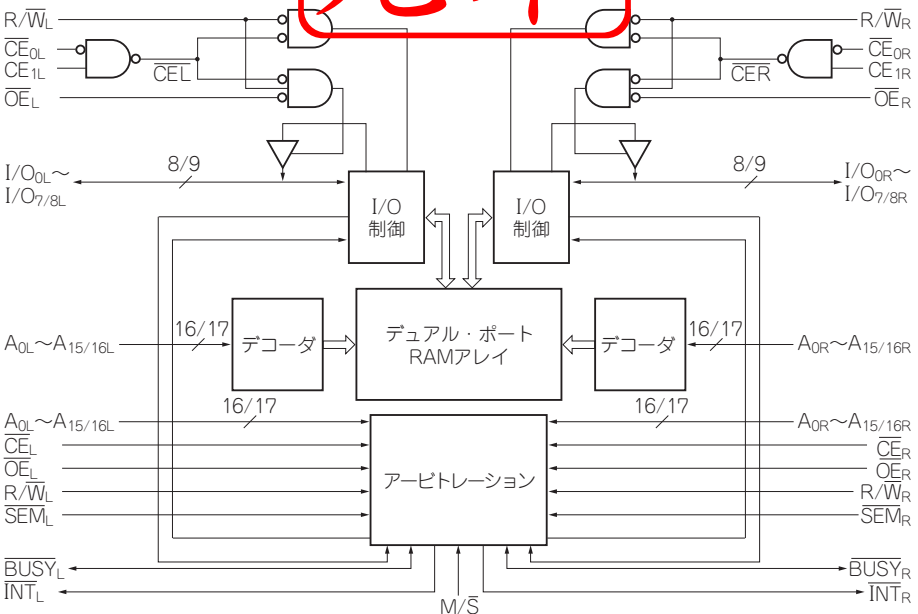
デバイスのマスタ動作/スレーブ動作を決定するのが $M/\overline{S}$ 信号で、“H”ならばマスタ・デバイス、“L”ならスレーブ・デバイスになります。マスタ・デバイスの $\overline{\text{BUSY}}$ 信号は出力ですが、スレーブ・デバイスは $\overline{\text{BUSY}}$ 信号が入力ピンになります。

● CY7C019のピン配置

CY7C019のピン配置を図5-2に示します。100ピンのTQFPパッケージですが、左右対称に分かれていることがわかります。



図5-1 (6) CY7C019の内部ブロック



## 第6章

# DRAMの構造と使い方

DRAMはDynamic RAMの略です。DRAMは後述するように、セルのサイズがSRAMなどに比べて小さく、また構造も単純で集積度を上げやすいことから、コンピュータの主記憶用など、大容量を必要とする用途に広く利用されています。

Dynamicの名のとおり記憶は揮発性であり、電源を切った場合にはもちろんのこと、一定時間アクセスされないと内容が消えてしまうため、一定周期で記憶内容の更新(リフレッシュ)を行う必要があります。SRAMやフラッシュメモリなどにはない、このリフレッシュ動作を必要とするという点がDRAMの大きな特徴の一つでもあり、また使ううえで注意を要する点です。

DRAMと外部のインターフェース部分は時代の推移とともに次第に変化してきています。詳細は後述しますが、当初は非同期であり、連続領域を高速にアクセスする手段としてはスタティック・カラム・モードやページ・モードといった方式があったものが、高速ページ・モードや、さらにハイパーページ・モード(EDOモード)となり、最近ではクロックに同期して、コマンド・コードを与えながら動くシンクロナスDRAMなどに移行しています。

クロック同期で動くシンクロナスDRAM(SDRAM)のファミリのなかでも、アクセスの高速化のためDRAM内部のI/O部分にバッファ・メモリ(チャンネル)を設けたバーチャル・チャンネル・メモリや、外部バスのクロックを立ち下がり/立ち上りの両エッジを使うようにしたDDR-SDRAM(ダブル・データ・レートSDRAM)などが登場しています。

またこの一方で、メモリ・バス自体を一種のシステム・バスのように考えて、プロトコルを用意しパケットでコマンドやデータの受け渡しをするようにしたRambus DRAMやSLDRAMなども登場するなど、DRAMと周辺回路のインターフェース部分の改良は次々

ISBN978-4-7898-5252-4

C3055 ¥2800E

**CQ出版社**



9784789852524

定価 3,080円 (本体2,800円) ⑩



1923055028005

このPDFは、CQ出版社発売の「メモリアの実践活用法」の一部見本です。  
内容・購入方法などにつきましては以下のホームページをご覧ください。

内容 <https://shop.cqpub.co.jp/hanbai/books/52/52521.htm>

購入方法 <https://www.cqpub.co.jp/order.htm>



---

メモリア(半導体記憶素子)は、実に多様な進化/発展をとげています。たとえばパソコンをとってみても、メイン・メモリにはダイナミックRAM、BIOSや各種のメモリ・カードにはフラッシュ・メモリ、ちょっとしたオプション・カードで設定情報を格納するためのシリアルEEPROM、ボード間の通信用としてFIFOやデュアル・ポート・メモリが利用されるなど、細かく見ていくと実にさまざまなメモリアが使われていることがわかります。

本書では、メモリアをUV-EPROM、フラッシュ・メモリ、EEPROM、SRAM、DRAMに大別し、それぞれで利用されている記憶セルの構造と書き込み/読み出しの原理と方法について解説しました。また、代表的なデバイスのデータシートから具体的な使用方法を導くために必要な、電気的特性やタイミング設計について重点的に解説しました。

マイコン応用設計のみならず、「記憶」という機能を利用するすべてのエレクトロニクス機器の回路設計に役立つ1冊です。

---