ワイド入力160 dB！ 計測専用の超高感度 SDR誕生

写真Aに示すのは，本誌2018年9月号特集で開発した計測用SDRモジュール(SDR-Block HF-TG1，製造中止)の分解能を約80 dBアップさせた「**SDR-Block HF-TG2**」です．組込み向けのSDR(Software Defined Radio)ボードとして産業機器に採用しています．

表Aに，SDR-Blockシリーズのスペックを示します．

TG2は，24000LEのFPGA MAX10と変換スピード 32MSPS(ICの実力は50MSPS)，分解能14ビットのA-Dコンバータを1チャネル搭載し，16 MHz以下の計測が可能です．0～80 dBのゲイン可変タイプのロー・ノイズ・アンプを搭載しました．

TG1はRFゲイン固定で10ビットで，ダイナミック・レンジは約60 dB，入力範囲は－120～－60 dBmでした．TG2では14ビットになり，ダイナミック・レンジは84 dB，RFゲイン可変範囲が6～86 dBもあるため，入力範囲は－170～－2 dBmと大幅に広くなりました．

TG1のA-Dコンバータは，64 MSPSの2チャネルでしたが，計測用途にはメリットが多くなかったため，TG2ではあえて1チャネル，32 MSPSとし，発熱やコストアップを避けました．

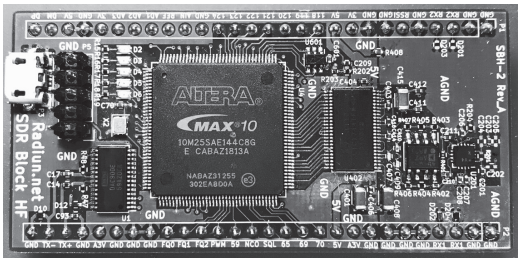
FPGA内部には，フィルタや信号発生器，演算器などの信号処理回路とマトリクス・スイッチ回路が書き込まれています(**図C**)．Windowsアプリ製の電子ブロック風お絵描きツール(SDR ASMアプリケーション，**図D**)を使ってブロックをつなぎ合わせ，その接続情報をFPGAに転送すると完成します．

通常FPGA開発では，シミュレーションと実際の性能がなかなか一致しませんが，本器はチューニング済みの信号処理回路を作り込んでいるので，動作すればほぼ期待した性能が得られます．HDLを習得しているならば，信号処理ブロックを繋ぎ合わせるマトリクス・スイッチを取り除いて，ブロックどうしを直接接続するとよいでしょう．内部の配線に余裕が生まれ，高速性やジッタやスキューの影響を受けにくくなり，演算のビット幅を大きくしてA-Dコンバータの性能を100％引き出したり，独自の回路を追加したりできます．

＊

本モジュールを持ち帰れる実習セミナ開催しています．

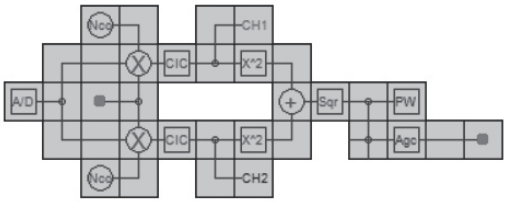
〈加藤 隆志〉



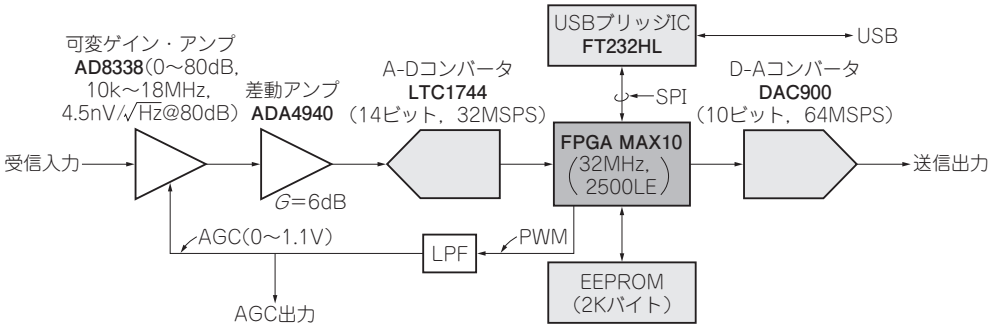
写真A　入力レンジ－170～－2 dBmの計測用超高感度SDRモジュール SDR-Block HF-TG2(開発製造 ㈱ラジアン http://radiun.net/，販売元 CQ出版社)

表A　SDR-Blockシリーズのスペック
SDR-Block AM-TG1とSDR-Block HF-TG1は2018年9月に開発された初代計測用SDRモジュール

型名	A-Dコンバータ	D-Aコンバータ	RFアンプ
AM-TG1	12 bit，1 M_{SPS} × 1	なし	なし
HF-TG1	10 bit，64 M_{SPS} × 2	10 bit，64 M_{SPS}	60dB
HF-TG2	14 bit，32 M_{SPS} × 1	10 bit，64 M_{SPS}	6 ～ 86 dB



図D　図Aの各信号処理ブロックの接続をお絵描きで設定できるWindowsアプリ「SDR ASMアプリケーション」



図C　FPGAには，性能がチューニングされたフィルタや信号発生器，演算器などの信号処理回路とマトリクス・スイッチが書き込まれている

【セミナ案内】［実習セミナ］［演習あり］実習・Verilog HDLによるFPGA開発・設計入門
―― 論理回路の基礎から大規模回路の設計手法まで
【講師】萬代 慶昭 氏，12/5(木)～6(金) 38,000円(税込み)，https://seminar.cqpub.co.jp/