

第 1 章

学習の進め方

CQ Endeavor は、ハードウェア記述言語 (Hardware Description Language) の設計手法を独学で習得できるように開発されたソフトウェアです。体系的なカリキュラムが組まれていて、ヴァーチャルな講師とマンツーマンで対話をしながら講義を受け進むことができます。習得が不十分な箇所があれば、後で戻ってその講義を繰り返し受け直すことができます。本書では、HDL のなかでもっともよく使われている言語の「Verilog HDL」を取り上げています。

まず最初に、「CQ Endeavor Verilog HDL」(付属 CD-ROM に収録)の使い方について解説します。

このソフトには音声ガイダンス機能があります。単にこれに従いながら、最初から順次講義を受けていただくと Verilog HDL をある程度習得できるはずですが、さらに、より短時間で効率良く進められるように、本章では学習方法を提案したいと思います。

1.1 カリキュラムについて

カリキュラムはユニット単位にまとめられている

先ほど述べたように最初から順番に学習してもいいのですが、まずは全体像を知っておいたほうがよいでしょう。本ソフトウェアでは、学習内容を Verilog HDL の文法体系に合わせて「ユニット」と呼ばれる学習単元でまとめています。各ユニットによって必須のものもあれば、後回しにしてよいものもあります。ユニットは、さらに「ユニットグループ」と呼ばれる単位でまとめられています。CQ Endeavor には、四つのユニットグループがあります。

図 1.1 に概略を示します。各ユニットグループの特徴を、以下に詳しく説明します。

ユニット名	意味	概要
ST	Start	HDL設計の 手順や用語
E1~E6	Elementary	Verilog HDL の基本
C1~C8	Circuit	回路記述
T1~T6	Testbench	テストベンチ
O1~O8	Option	各種記述 ノウハウ



(a) 各ユニットの概要

(b) コースマップ

図 1.1 CQ Endeavor Verilog HDL の構成

スタート(ST)ユニット

STユニットでは、HDL(Hardware Description Language)設計の手順や用語について学びます。補足の解説が必要な方は、第2章も参考にしてください。ここでは回路記述、テストベンチ作成、検証、論理合成などの工程が何のためにあるのか、何をアウトプットとするのかを理解してください。

基本(E)ユニットグループ

Eユニットグループでは、回路記述とテストベンチの概略を学んだ後、回路記述に必要な最小限の文法について学びます。さらに、論理合成に適した記述スタイルについても学びます。このユニットグループは、Verilog HDLで回路記述するときの基礎となる項目なので、しっかりと理解してください。

回路記述(C)ユニットグループ

Cユニットグループでは、回路記述を学びます。組み合わせ回路や順序回路など、設計対象により記述スタイルが異なるので、その違いも習得してください。C7とC8の各ユニットは、少しまとまった記述を手がけます。セレクタや演算回路などの回路ブロックを使って、一つの機能を実現していることを理解してください。

数多くの記述スタイルが登場して、少し混乱するかもしれませんが、その違いと特徴をよく理解してください。ここで全部を理解できなくても、必要になったら参照できるよう、どこに何が説明されていたかだけでも覚えておいてください。

テストベンチ(T)ユニットグループ

回路設計をして、その回路が正しいかどうかを検証するとき、テストベンチというものを用意しなければなりません。なぜ、テストベンチが必要なのでしょう。回路というものは、入力部になんらかの信号を入れることで、はじめて出力部から信号が出てくるのです。回路が正常に動作する

かは、多様な入力信号に対応して、それぞれ妥当な出力信号が出てくるかをチェックします。

Tユニットグループでは、このテストベンチの記述に関して学びます。「テストベンチとは何か」から始まり、テストベンチ向きの文法項目や記述例について学びます。さらに重要な概念であるタスクについて、豊富な例を用いて理解を深めます。

このユニットグループは内容が濃いので、理解が追いつかないかもしれません。あせらずじっくり学んでください。T6ユニットが仕上げのユニットです。ここまで終われば必須のユニットが全部終わったこととなります。

オプション(O)ユニットグループ

Oユニットグループは、各ユニットが独立した内容になっています。学習の順番は問いません。必要なユニットだけ学んでもかまいません。応用的な内容なので、一度設計を経験してから見ると非常に参考になります。記述のヒントになる例が含まれているので、実務に役立つでしょう。

1.2 第3章からのワークブックの使い方

本書の第3章以降では、本ソフトの内容と表示画面をすべて含んだワークブック、学習帳形式になっています。カリキュラム部分だけでなく、修了判定テストのページも含んでいます。PC(パソコン)の画面上にメモや付箋を貼ることは簡単にできませんが、このワークブックには書き込みが、当然のことながら自由にできます。この節では、このワークブックの活用方法について提案します。

思うままに書き込んで自分自身の「ワークブック」を完成させよう！

まず、本文で重要だと思った点や興味を引いた点には、「マーキング」したり、気づいたことや理解して忘れたくないことを「メモ」として書き込みます。1ユニット修了した時点で、マークした内容や書き込んだ内容を復習するとよいでしょう。このようにして、自分なりのワークブックを作り上げてください。

なお説明内容が多いページを、本書では複数のシートに分けてあります。たとえば、「つづき」ボタンが表示されたら、続きは別のシートに記載されています(図 1.2)。

修了判定ページの記入方法

各ユニットの学習を終えた後には、そこで正しく理解できているかをチェックする「修了判定」のページが用意されています。修了判定には次の二つのタイプがあります。

(1) 修了判定(ツール演習)

ツール演習による修了判定では、シミュレーションや論理合成を実行するうえで気がついた点を書き残しておく、とても便利です(図 1.3)。

(2) 修了判定(穴埋め問題)

穴埋め問題による修了判定では、解答欄に入力した内容はパソコンでしか確認できません。解答



図 1.2 「つづき」ボタン



図 1.3 修了判定(ツール演習)

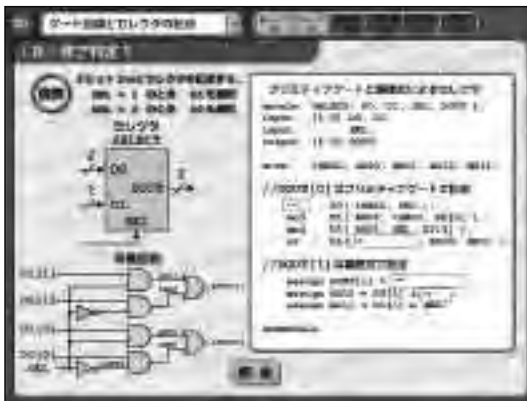


図 1.4 修了判定(穴埋め問題)



図 1.5 検索機能

をワークブックに書き写しておきましょう(図 1.4)。

索引の活用方法

本ソフトウェアには、検索機能があります(図 1.5)。巻末の索引には、検索機能のデータベースから、アルファベット順、50音順、回路記述例の内容をそのまま転載してあります。本書だけで、目的の内容を調べることができます。

ナレーション部を記載していない理由

なお、ワークブックには、ソフトウェアから流れる音声ガイダンス(ナレーション)部分は印刷されていません。画面に表示される部分だけです。さらに、あえて白黒印刷にしています。これは本書を白地図のように使っていただくためです。脳科学研究の著名な先生によると、手で書くことで学んだことは、記憶の中に深く取り込むことができるそうです。Verilog HDLを習得するために、要点や疑問点などを確実に記入していきましょう(図 1.6)。

本ソフトウェアは、ポーズ機能を備えており、ナレーションを一時停止させることができます。



図 1.6 重要と感じたらマーキングや書き込みをしよう

ナレーションで語られた内容が重要と思ったら、ポーズ機能を使ってすぐにワークブックに書き込むといいでしょう。

書き込みのない本は自慢にならない

一般に、図書館の本は共有物なので大事にしなければなりません。現在では手に入らない価値ある蔵書もあるでしょう。このような図書館の本に書き込みをするのはご法度です。

しかしエンジニア個人が所有する技術書は異なります。自分が技術を得るための手段として本を購入して読むわけですから、むしろ書き込んだり折り目をつけたり自由に使うべきです。きれいなまま飾っておくのが目的ではないでしょう。道具は使ってこそ価値があるので、きれいなままでは何も学習していないのと同じです。ガンガン書き込んで、ガンガン覚えましょう。技術書は消耗品であり生鮮食料品です。飾っているうちに時代遅れになってしまいます。

筆者の知人に、企業で研究開発業務に就いている方がいます。彼は業務で使う本でも自費で買うそうです(特に良書)。立場上会社の経費で買うこともできるのですが、自分で買うのです。なぜなら「経費で買った本には書き込みができないからだ」といっていました。会社で買ったものは、ある期間占有できますが、いずれ図書室に返さなければなりません。当然書き込みはルール違反です。それで彼は自費で買うのです。「自腹なら書いたり折ったりしても平気だし、元をとろうと真剣に読むからね」と、厚いめがねの奥の目が笑っていました。

1.3 効果的な学習方法の提案

7 時間で修得できるか？

学習を始めるとわかりますが、本ソフトウェアのコンテンツ(テキスト)の量は、かなりあります。設計言語を網羅的に解説しているので、当然ではあります。ただ、コンテンツを再生し続けるだけでも 7 時間ほどかかります。

実際には、各ユニットごとに「修了判定」があるので、全部を学習するのに 10 時間以上はかかるでしょう。それも休みなしです。ただし、連続して学習するのは現実的ではありません。日々の自分の時間を使うのですから、1 日の学習時間には限りがあります。

1 日 90 分で 4 ユニットのこなすのが標準

一つの学習單元(ユニット)の再生時間は平均 15 分です。修了判定を含めると 1.5 倍の時間を要すると想定して 4 ユニット 90 分程度が 1 日の適切な量でしょうか。そこで以下のように提案します(図 1.7)。

(1) 初めの 5 日間で必須項目を一気に学ぶ

1 日に 4 ユニット程度学習する

1 日の学習時間は、修了判定も含めて 90 分程度

0 ユニットグループを除く 21 ユニットの学習する



図 1.7 1 日 4 ユニットの目標に！

(2) 追加の2日間で残りの実践的な知識を学習する

1日に4ユニット程度学習する

0ユニットグループ(8ユニット)を学習する

このうち、0ユニットグループは、さまざまな実務的なヒントを解説しているユニットです。ここは、ある程度設計を始めてから(回路記述を経験してから)取り組むほうが、理解が速いでしょう。とりあえず後回しにしてもかまいません。そうすれば、例えば月曜日～金曜日の5日間でVerilog HDLの必須項目を学習できます。もしこの本を週末に手にしたなら、月曜日からがんばって1週間でモノにしてみましょ。1日90分で、たった1週間で設計手法を身につけられるのなら安いものです。

学習には適度な緊張感が必要です。自宅に帰ってからだと気持ちが緩んでしまうかもしれません。可能なら会社や学校に居残って、ヘッドホンを使って学習するほうがよいでしょう。仲間と一緒に始めてみるのもいいかもしれません。励みになるし、わからないことを補い合えるからです。

修得の順序はある程度自由に

「技術書は技術習得のための手段だから活用の仕方は自由だ」と、前節で説明しました。従って学習の順番も自由です。素直に1ページ目から順序どおりに始める必要はありません。しかし、いきなり応用的な内容を学習するのは難しいので、以下の順で学習することを薦めます。

(1) ユニットグループの学習順序

ST, E C T Oの順に学習する

(2) ユニットグループ内の学習順序

ST, Eユニットグループ ST, E1, E2, ..., E6の順に学習する

Cユニットグループ C1 ~ C3内、およびC4 ~ C6内は順に学習する
C7, C8は最後に学習する

Tユニットグループ T1, T2, ..., T6の順に学習する

Oユニットグループ 順番は完全に自由なので興味があるところから学習してよい

1.4 設計環境を整える

実際に動かしてみる

Verilog HDLによる設計手法を身につけるには、やはり手を動かすことも大事です。設計手順が複雑で、慣れるまでは、今どの工程なのかを見失うことがあるかもしれません。

HDLを用いた開発は、大まかには次のような手順をふみます。

(1) HDLを用いてRTL(レジスタ転送レベル)回路を記述する

(2) シミュレータを使って、この記述が期待する動作を行うか検証する(RTL検証)

(3) 論理合成ツールを使ってHDL記述からゲートレベル回路を合成する

(4) シミュレータを使って合成された回路が期待された動作を行うか検証する(ゲートレベル検証)

(5)実際の LSI の特性に対応してゲートの配置と配線を行う

この手順に慣れるためには、ワークブックにマーキングしたり書き込んだりするだけでなく、実際にシミュレーションや論理合成を何度も行ってみることがいちばんです。

上記の手順それぞれに対応して、以下のツール(道具)を使用します。

- (1)エディタ
- (2)シミュレータ
- (3)論理合成ツール
- (4)シミュレータ
- (5)配置・配線ツール

これらをまとめて設計環境と呼びます。

シミュレーションと論理合成が試せる環境を整備する

いくつかのユニットの修了判定や本文のなかに、「シミュレーションの実行」や「論理合成の実行」のボタンが出てくることがあります。このボタンをクリックすると必要なファイルのリストが表示されるので、適切なファイルをコピーしてシミュレーションや論理合成を行ってください(図 1.8)。

そのためには、前もって上述の設計環境(ツール)を整えておく必要があります。具体的にいうとシミュレータ(図 1.9)や論理合成ツール(図 1.10)を入手してパソコンにインストールしておいて

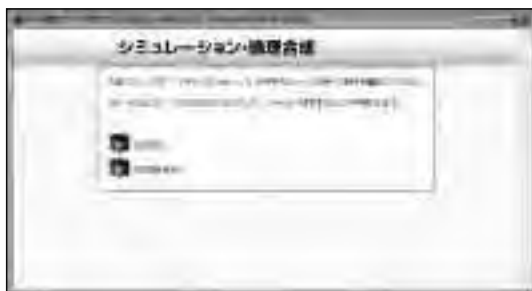


図 1.8 シミュレーションや論理合成の実行



図 1.9 シミュレータ



図 1.10 論理合成ツール

ください。本書では、ネットで入手できる無償のFPGA(Field Programmable Gate Array)開発環境を推奨しています。

詳しくは、第2章「2.9 無償ツールを使ってHDL設計を試そう」を参照してください。

1.5 本文や修了判定の記述を試す

学習項目の習熟度を判定するには、人間の講師がアドバイスするように、記述した解答を評価して、いろいろな指摘ができればよいのですがソフトウェアで実現することは困難です。本教材では、穴埋め問題で修了判定を行います。

一から記述入力しよう

さらに深く短期間で Verilog HDL を習得するには、一から記述して検証してみるとよいでしょう。そこで、教材本文の中で紹介している記述例を、はじから試してみることを薦めます。

特に修了判定で出題されている記述例を試してみてください。幸か不幸か画面の記述例はコピー&ペーストができません。記述をまねて一から入力していくことになります。

入力ミスも大きな経験となる

記述例を一から入力していくのは、一見むだのように思えるかもしれませんが、入力ミスに気づかず、コンパイル時にエラーだらけになることもあるかもしれません。エラーがなくなるまで、多くの時間を費やすでしょう。「こんなことなら記述のファイルぐらいCD-ROMに収録しておけ」と思うかもしれません。

しかし、こういった泥臭い経験は必ず役立ちます。入力誤りを起こしてエラーになったときのエラー・メッセージを覚えておけば、実設計で同じ誤りを起こしたときの対応がすばやくなります。設計ツールの出力するエラー・メッセージやログは、分かりにくいものが多いので、今のうちから慣れておくこと本番で困る頻度も減らすことができます。

また、文法エラーがなくても想定どおりに動かないことが多々あります。回路記述ではなく、テストベンチが間違っていることもよくあります。こういったことは実際に体験してみるのが一番です。不具合の症状からどこに原因があるか予想できるようになるためには、経験を積む必要があります。実設計で失敗を繰り返したくなければ、今のうちにたくさんの問題に遭遇しておいてください。

Cユニットの回路記述を大いに試してみよう

本教材には数多くの記述例が紹介されていますが、シミュレーションや論理合成を試すのであればCユニットグループの記述例が適切です。テストベンチのないものが大半なので、自分なりに考えて作成してみましょう。シミュレーションによる検証が済んだら、回路記述を論理合成してみてください。10個も記述例を試せば、実力がついたことを実感できるはずですよ。ぜひお試しください。

CQ Endeavor^{エンデバー} VerilogHDL

起動および操作方法

A.1 起動方法

CQ EndeavorはMicrosoft社のWebブラウザInternet Explorer(Version 6または7)で動作させることを想定しています。以下の説明は、これを使用したときの内容です。

最初は管理者権限で起動する

CQ Endeavorは、Webブラウザで閲覧できるようにAdobe社のプラグインツールShockwaveを用いています。そのためShockwaveがインストールされていないパソコン環境では、最初にShockwaveのインストールを要求されるので、必ず管理者権限で起動してください。

起動ごとにアクティブ・コンテンツの実行を許可する

まずCD-ROMドライブにCQ Endeavor Verilog HDLを挿入します。CD-ROMのルート・ディレクトリに収録されているindex.htmlファイルを、Webブラウザで開きます。このとき、アクティブ・コンテンツの実行を許可するウィンドウ(図A.1a)が表示されるので、「はい」をクリックします。場合によっては、起動時に別のメッセージが出ます。同様にアクティブ・コンテンツの実行を許可します。図A.1bの手順で行います。

なお、Webブラウザの設定によっては、アクティブ・コンテンツの実行を無条件に許可するこ



(a) アクティブ・コンテンツの実行許可



(b) ブロックされているコンテンツの許可

図 A.1 起動時のメッセージと起動許可

ともできます。つまり起動時のメッセージを出さないようにできます。ただしセキュリティのレベルが低下するので、面倒でもそのまま使ってください。

利用規約に同意する

起動すると図A.2を表示します。利用規約を読んだうえ、同意する場合は「同意する」をクリックします。ここから学習を開始することができます。同意しない場合は、本教材を利用できないのでブラウザを終了させてください。

なお、Shockwaveがインストールされていないパソコン環境では、ここで図A.3のウィンドウが表示されるので、指示に従ってShockwaveをインストールします。



図 A.2 起動画面

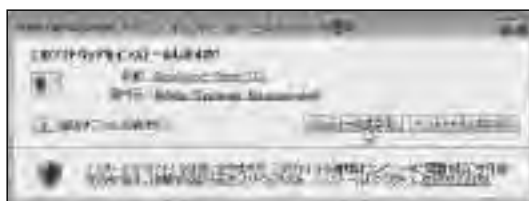


図 A.3 Shockwave のインストール

画面構成

Shockwaveがインストールされ、利用規約に同意すると図A.4が表示されます。CQ Endeavorの画面は、左側に常時表示しているボタンと、右側の教材部分で構成されています。

右側の教材部分には、最初はコースマップを表示します。左側のボタンは常に表示しているので、学習中にコースマップに戻ったり、検索機能を使うことができます。また学習の進め方や操作ガイドなど、必要に応じて閲覧できます。



図 A.4 CQ Endeavor の画面構成

A.2 コース・マップ

CQ Endeavor Verilog HDLには全部で29個の学習単位があります。第1章で述べたように学習単元のことをユニットと呼びます。

コースマップには全てのユニットの一覧を表示します(図A.5)。マップ上の各ユニットをクリックすると、学習を開始できます。クリックせずマウスポインタを重ねると、ユニットの概要を見ることができます。

最初は左上のSTユニットから始めます。その後マップの上から下へ、さらに左から右へ学習を進めていきます。ユニットグループの中では、順番が任意のものもあります。詳しくは第3章以降の「ユニットの構成と概要」のページを参照してください。

コースマップ上では、学習済みのユニットには、「済」のマークと修了した日付が付加されます。すべてのユニットに「済」がつけば学習の完了です。



図 A.5 コースマップとユニット名

A.3 ボタンの機能とプルダウンメニュー

画面の上側には操作ボタンがあり、教材の進行を制御できます。

ボタンの三つの状態

各ボタンは、以下の三つの状態があります(図A.6 a)。

- 押すと動作する状態 : 通常表示
- 押しても動作しない状態 : グレー表示
- 押すことを推奨している状態 : 点滅表示

ボタンの機能

それぞれのボタンの機能は以下のとおりです(図A.6 b , c)。

- 前ページ, 次ページ : ページの移動
- 解説, ポーズ : 解説の開始と一時停止

早送り : 音声の1行単位で解説を進める

もう一度 : ページの最初に戻る

またプルダウンメニューを使うと、ユニット内の各ページへ直接移動できます(図A.7)。



(a) ボタンの三つの状態



(b) 解説中



(c) 一時停止中

図 A.6 操作ボタン

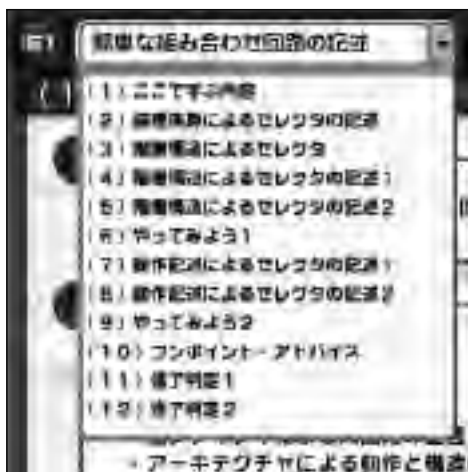


図 A.7

プルダウンメニュー

A.4 修了判定

修了判定のページでは、設問にしたがって解答を入力します。修了判定の多くは、穴埋め記述式です。解答を入力したら「採点」ボタンをクリックします(図A.8)。

採点により、○, △, ×の判定を行います。○, ×に対しては、なぜ正解ではないのか、どういった入力を要求しているのか、これらのヒントを吹き出しで表示します。

文法上や回路記述上可能な記述でも、本教材の推奨する記述スタイルに適していない場合には○の判定になります。少し厳しいようですが、△は実質的に×と同じ扱いになります。つまり全問の場合のみ、ユニットの修了とみなします。

ユニットによっては、複数の修了判定があります。実施の順番に制約がある場合があるので、できるだけページの順番で実施してください。また同じ修了判定の中でも、順番の指定があるものもあります。指示にしたがって実施してください。



図 A.8 修了判定

A.5 シミュレーションと論理合成

いくつかの修了判定や本文には、「シミュレーションの実行」や「論理合成の実行」のボタンがあります。クリックすると必要なファイルのリストが表示されるので、これらをHDDにコピーしてシミュレーションや論理合成を行ってください(図A.9, 図A.10)。

修了判定のたびに毎回コピーするのは手間なので、「A.8 高速に動作させるハード・ディスクからの起動方法」で説明しているように、教材丸ごとHDDにコピーしてしまうとよいでしょう。

シミュレーションや論理合成を行うためには設計ツールが必要です。それらの入手方法は、第2章「2.9 無償ツールを使ってHDL設計を試そう」で説明します。



図 A.9 シミュレーションの実行



図 A.10 論理合成の実行

A.6 検索ページ

検索ページでは教材本文内の記載事項を検索できます(図A.11)。50音順,回路記述例,アルファベット順などで検索できます。候補が複数ある場合は,関連の強いページを太字で強調しています。

キーワードで検索する場合には,右上のフィールドに任意の文字列を入力し検索ボタンを押します(図A.12)。キーワードとの部分一致で検索できるので,用語の一部だけわかっている場合でも検索可能です。



図 A.11 検索ページ



図 A.12 キーワード検索

A.7 受講記録について

修了判定の解答フィールドに入力した内容は,受講記録として自動保存されます。ログインしているユーザーごとに独立して保存されます。ユニット修了日の情報も保存されます。

受講記録を消去して最初から学習したい場合は,コースマップ上にあるボタン「受講記録の消去」をクリックします(図A.13)。確認のウィンドウが表示されるので,「はい」を選べば,解答フィールドの内容も含めてすべて消去されます。

なお受講記録ファイルは,以下のフォルダに保存されています。

Windows XPの場合

C:\¥Documents and Settings¥<ログインユーザ名>¥Application Data¥Macromedia
¥Shockwave Player¥Prefs¥<個別の文字列>

Windows Vistaの場合

C:\¥Users¥<ログインユーザ名>¥AppData¥LocalLow¥Macromedia¥Shockwave Player
¥Prefs¥<個別の文字列>

Application Data(またはAppData)は隠しフォルダになっているので,Windowsの設定を変えて表示できるようにしてください。

また、<ログインユーザ名>と<個別の文字列>は、使っているパソコン環境ごとに異なります。保存されているファイルはテキストファイルなので閲覧できますが、修正しないでください。保存されている情報で整合が取れない場合、受講記録を初期化してしまうことがあります。



図 A.13 受講記録の消去

A.8 ハード・ディスクからの起動方法

高速に動作させる方法

本教材はCD-ROMで供給されていますが、HDDにコピーすることでより高速に動作させることができます。本CD-ROMの内容は著作権法で保護されているので、これに違反するコピーはできません。ただし、利用許諾のページに記載されている範囲内でコピーを認めています。

まず、ハード・ディスクの任意の位置に専用のフォルダを作ってください。その際、

フォルダ名は英数字にする(いくつかの階層を作った場合には、途中経路のフォルダ名もすべて英数字にする)

フォルダ名には空白を入れない

を守ってください。シミュレータや論理合成ツールは英語圏で作成されたツールなので、フォルダ名に空白や日本語が含まれていると正しく読み込むことができません。

そのフォルダ内に、CD-ROMのルート・ディレクトリの内容をそのままコピーします。フォルダ内のindex.htmlをWebブラウザで開けば、CQ Endeavorが起動します。

これにより演習データもHDDにコピーされます。これで設計ツールを使う演習のたびにファイルをコピーする手間が省けます。