

32ビット・スペシャル・マイコンから
ビンテージICまで…わがままチップ作り放題!

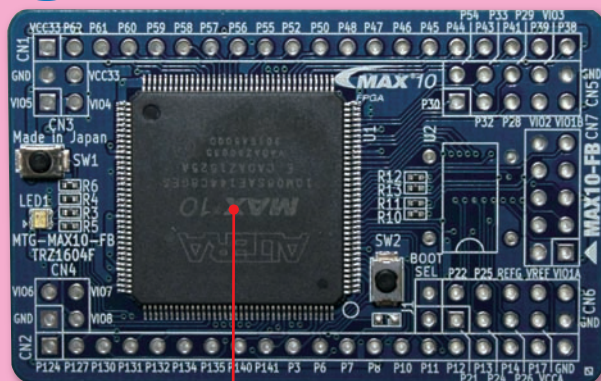


①MAX10②ライタ③DVD付き! FPGA電子工作 スーパークイット

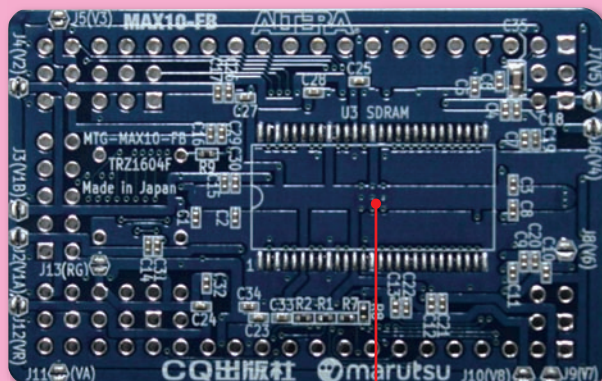
圓山 宗智 著

付録

① 大容量ワンチップFPGA MAX10搭載基板



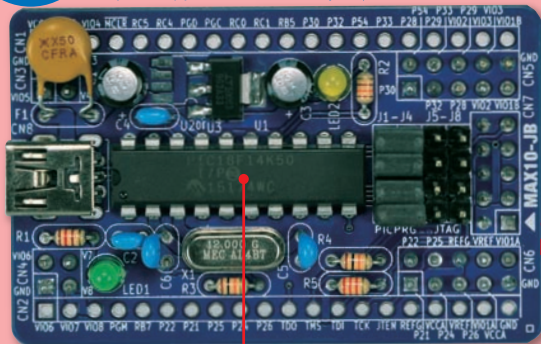
表面 10M08SAE144C8G (アルテラ)
コンフィグレーション&ユーザ用FLASH内蔵



裏面 大規模アプリ製作に!
SDRAM (別売) 搭載可能

付録

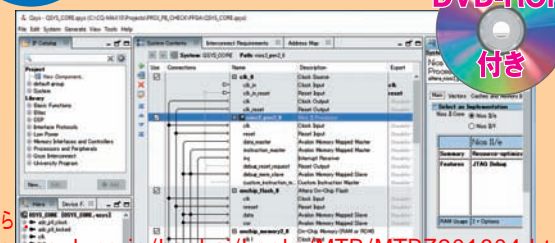
② 書き込み器製作用プリント基板 (搭載部品は別売)



USB Blaster等価機能

付録

③ ソフトウェア一式を収録した DVD-ROM



ご購入はこちら
<http://shop.cqpub.co.jp/hanbai/Books/MTR/MTR2201604.htm>

- Quartus Prime Lite Edition/Qsys
- ModelSim Altera Starter Edition
- Nios II 32ビットCPUコア
- Nios II EDS (ソフトウェア統合開発環境)
- サンプルプロジェクト

見本

CQ出版社

第1章 最新のFLASHメモリ内蔵型FPGAがあなたの手に

CQ版MAX 10評価ボードの誕生

●はじめに

本書は、アルテラ社のFLASHメモリを内蔵した最新版FPGA(Field Programmable Gate Array) MAX 10を搭載した基板およびその開発環境一式を収録したDVD-ROMを付属しています。

FPGAはその中にCPU(Central Processing Unit)、メモリ、通信機能、タイミング・シーケンサ、演算アクセラレータ、画像処理機能、音声処理機能、デジタル・フィルタなど自分の好きな論理機能を自由に組み上げることができます。仕事でも趣味でも、手軽に自己実現できるデバイスであり、大いに楽しむことができるものです。

特に今回採用したアルテラ社のMAX 10は、FLASHメモリを内蔵するなど優れた特長を持つFPGAであり、とても使いやすいものです。

しかし一般的にFPGAをコンフィグレーションする(論理機能を書き込む)ときには、JTAG(Joint Test Action Group)ケーブルという専用ツールが必要です。CQ出版社の過去のいくつかの雑誌付属FPGA基板では、ここがあまりよく練られておらず使い勝手がよくなかったように感じます。そこで今回の付属基板にはアルテラ社のUSB Blasterと等価な機能を持つUSB-JTAG変換基板もしっかり用意しました。これら付属基板とDVD-ROMだけでFPGAの開発全てを行うことができます。大いに遊んでいただきたいと思います。

アルテラ MAX 10 FPGA とは

●MAX 10はFLASHメモリ内蔵マイコンを自作できるFPGA

アルテラ社のMAX 10は、不揮発性FLASHメモリを搭載したTSMC(Taiwan Semiconductor Manufacturing Co., Ltd.)社の55nmプロセスを使用した最新型のFPGAです。従来のMAXシリーズはCPLD(Complex Programmable Logic Device)でしたが、MAX 10は本格的なFPGAデバイスであり、規

模が大きい論理回路を実装することができます。

MAX 10は、デバイス本体にコンフィグレーション・データ格納用のFLASHメモリを内蔵しているので、外部にROMを置く必要がありません。

さらにFLASHメモリの一部はユーザが使用でき、かつアルテラ社のソフトCPUコアNios IIも実装できます。12ビットA-D変換器も内蔵しており、3.3V単一電源で動作するデバイスもラインアップされています。MAX 10があれば、ユーザ独自のFLASHメモリ内蔵マイコンを自作することもできるのです。

●付属基板に搭載するMAX 10

MAX 10は、ロジック・エレメント数として2,000個の最小規模品から50,000個の最大規模品まで7段階の製品がラインアップされています。今回の付属基

表1 付属基板に搭載するMAX 10 FPGAの仕様

実際に基板に搭載されるデバイスはES(Engineering Sample)品である。

項目	内容
ベンダ	アルテラ
製品シリーズ	MAX 10 FPGA
製品型名	10M08SAE144C8G
プロセス	TSMC 55nm Embedded FLASH プロセス技術
ロジック・エレメント	8K
M9Kメモリ	378Kビット
FLASHメモリ	2496Kビット(コンフィグレーション 用+ユーザ用合計) 1376Kビット(ユーザ用最大値)
18×18乗算器	24個
PLL	2個
LVDS	専用Rx/Txチャネルまたはエミュ レーション出力チャネル×41ペア
コンフィグレーション数	最大2コンフィグレーション・イメ ージを記憶可能
A-D変換器	12ビット×1ユニット、変換レート 1MSPS _{max} 、アナログ入力端子×9本
クロック発振器	リング・オシレータ内蔵 (55M~116MHz)
I/O本数	101本
電源	3.3V単一電源
パッケージ	EQFP-144(20mm×20mm, ピン・ピッチ0.5mm)

見本

第2章 FLASH内蔵によるFPGAの新たなパラダイム

MAX 10 FPGAデバイスのハードウェア研究

●はじめに

本章では、最初に FPGA とはどのようなデバイスなのか、またどういことができるのかを簡単に解説します。FPGA の可能性とその奥深さ、面白さを感じ取ってほしいと思います。その次に、付属基板で採用したアルテラ社の MAX 10 についてそのデバイスの詳細を説明します。

FPGA というデバイスは、それ自体は大変複雑で高度な技術が使われています。ところが、ユーザはそのデバイスの中身を事細かに理解しきる必要は必ずしもありません。別章で解説する開発ツールが細かいことはほとんどサポートしてくれます。ユーザは自分が実現したい論理機能の設計に集中すればいいのです。本章で解説する MAX 10 デバイスの各機能の多くも、知識として知っておく程度で十分でしょう。

ただし、FPGA できちんと認識しておかないといけないことは、その制限事項です。FPGA はとても柔軟なデバイスですが、実現できる論理規模やメモリ容量などには上限があり、クロック配線、端子機能、特殊機能、コンフィグレーション機能などにどうしても注意事項や制限事項が存在します。それらのうち、特に重要と思われるものは本章や後続の章で説明を加えてありますので、よく理解しておいてください。

FPGA とは何か

●FPGA は論理設計のための広大なキャンパス

データ処理やシーケンス処理など、ディジタル処理機能が必要なシステムの論理設計をする場合、ひと昔前までは、大量の TTL(Transistor Transistor Logic) IC や小規模 PLD(Programmable Logic Device)を組み合わせたプロトタイプ基板を作成するなど非常に手間がかかる思いをしましたが、ご存知の通り、今では FPGA という強力な武器があります。

図 1 に示すように、CPU(Central Processing Unit)、メモリ、周辺機能などの IP(Intellectual Property : 既存の設計資産やライブラリ)を自由に組み合わせ

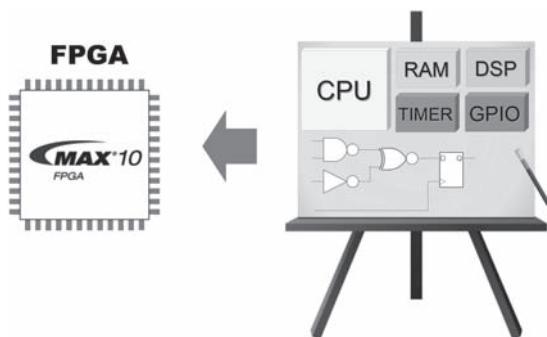


図1 FPGAは論理設計のための広大なキャンパス

る、または独自の論理回路を自由奔放に設計するための広大なキャンパスがFPGAです。論理機能は、Verilog HDL や VHDL というハードウェア記述言語(HDL)で記述すれば、FPGA 用の開発ツールが FPGA デバイスの中のハードウェア・リソースに自動的にマッピングして、設計した通りの機能を実現してくれるのです。

●ディジタル・デバイスの主流組 : SoC や MCU

ディジタル処理機能を持つ論理デバイスの代表格としては、スマートフォンやタブレット PC に入っている ARM Cortex-xx を内蔵したプロセッサなどの SoC (System on a Chip) や、多くの電子機器に組み込まれているマイコン(MCU : Micro Controller Unit)があります。SoC や MCU は、図 2(a) に示すように、CPU や周辺機能などの論理機能や、A-D 変換器などアナログ・モジュールなど、さまざまな機能モジュールが詰まっています(最近の SoC と MCU はその構造がほとんど同じであり、違うとすれば、MCU が SoC よりも若干論理規模が小さめで、かつ不揮発性の FLASH メモリを搭載している点くらいである)。

SoC や MCU は、性能、消費電力、コストを最適化することができる一方で、1枚のシリコンに固定化されているため一旦作ってしまうと機能変更できません。また SoC や MCU は、設計をスタートしてから実際のデバイスを手にするまでに何ヶ月もかかり、マ

見本

第3章

実験に、試作に、趣味に、
あれこれ手軽に使える小型FPGA基板

MAX 10 FPGAを搭載した MAX10-FB基板のハードウェア詳説

本書付属DVD-ROM収録関連データ	
格納フォルダ	内 容
CQ-MAX10¥Board¥MAX10-FB	・MAX10-FB 基板のガーバ・データ ・関連ドキュメント

●はじめに

本章では、MAX 10 FPGA を搭載した付属基板 MAX 10-FB 基板のハードウェアについて詳しく解説します。

MAX10-FB 基板の概要

●MAX 10 FPGA を気軽に使うためのブレイクアウト基板

FLASH メモリを内蔵し単一電源で動作する FPGA デバイス MAX 10 を、ブレッド・ボードや自作のユニバーサル基板などの上で気軽に使うためのブレイクアウト(脱獄)基板が MAX10-FB 基板です。その外観を写真1に、仕様を表1に、ブロック図を図1に示します。

●FPGA の I/O 電源はフレキシブルに設定可能

MAX 10 デバイスの外部 I/O 端子の各バンクの電源やアナログ・リファレンス電源は、それぞれ独立した電圧に設定できるので、全てを基板の外部コネクタに引き出してあります。それぞれ 3.3V で良い場合は、基板裏面のはんだジャンパで 3.3V 電源に接続できます。

●基板上にクロック発振器を搭載

MAX 10 デバイスは、リング発振器を内蔵していますが、デバイス内蔵の PLL(Phase Locked Loop)に直接接続できませんので、PLL に接続できるグローバル・クロック端子に外部発振器(48MHz)を接続してあります。内蔵 PLL によりさまざまな周波数のクロックを合成できます。

●SDRAM を搭載して大容量メモリ空間を自由に使える

MAX10-FB 基板の裏面には、SDRAM を実装でき

表1 MAX10-FB 基板の仕様

項 目	内 容
基板外形	55.88mm×35.56mm(22000mil×14000mil)
層数/部品実装面	2層基板/両面実装
FPGA	アルテラ MAX 10「10M08SAE144C8G」
SDRAM	裏面未実装、パターンのみ。 搭載可能デバイス例は下記の通り ・512M ビット: AS4C32M16SA-6TCN/7TCN (Alliance Memory) ・256M ビット: AS4C16M16SA-6TCN/7TCN (Alliance Memory)
電源	外部3.3V 供給 (各 V_{CCIO} , V_{CCA} , ADC_V_{REF} , REG_GND は個別にコネクタに引き出してあり、はんだジャンパで共通の3.3VとGNDに接続可能)
ユーザ用クロック	48MHz発振器搭載可能(未実装) SG8002DC-PCB-48MHz(エプソントヨコム)
ユーザ用LED	3色RGBフル・カラーLED×1個
ユーザ用スイッチ	プッシュ・スイッチ×1個
コンフィグレーション回路	nCONFIG用プッシュ・スイッチ×1個 CONFIG_SEL用ジャンパ×1個
FPGA 信号引き出し端子	ブレッド・ボード用の上下1列コネクタに38本引き出し(2.54mmピッチのコネクタに合計49本引き出し)
FPGA コンフィグレーション方法	付属基板「MAX10-JB」を重ねて、電源供給+コンフィグレーション可能 (アルテラ社または3rd Party製のUSB Blasterでもコンフィグレーション可能)

るパターンがあります。54ピンTSOP IIパッケージに封入されたSDR(Single Data Rate)型のSDRAM(Synchronous DRAM)を実装できます。動作を確認済みの推奨品は、256Mビットまたは512Mビットの16ビット幅のSDRAMです。アルテラ社が提供するSDRAMコントローラで簡単にアクセスできます。大量のデータを扱うときに便利です。

●動作確認用のフル・カラーLEDとプッシュ・スイッチ

MAX10-FB 基板にはユーザ動作確認用のフル・カラーLEDとプッシュ・スイッチを搭載してあります。この基板単体でも簡単な論理設計の実験や、Nios II

見本

第4章 Quartus Primeから直接操作！ コンフィグレーションにもデバッグにも使える！

コンフィグレーション&デバッグ用 MAX10-JB基板のハードウェア詳説

本書付属DVD-ROM収録関連データ	
格納フォルダ	内 容
CQ-MAX10¥Board¥MAX10-JB	・MAX10-JB基板の ガーバ・データ ・関連ドキュメント

●はじめに

本章では、MAX 10 FPGA のコンフィグレーションおよびデバッグ用付属基板 MAX10-JB 基板のハードウェアについて詳しく解説します。

MAX10-JB 基板の概要

●FPGA にはコンフィグレーションが必要

FPGA を動かすためには、実現しようとする論理機能に対応する情報をFPGAに送り込む、すなわちFPGAをコンフィグレーション(略してコンフィグともいう)する必要があります。MAX 10の場合は、下

表1 MAX10-JB基板の仕様

項 目	内 容
基板外形	55.88mm×35.56mm(22000mil×14000mil)
層数/部品実装面	2層基板/片面実装
実装部品	搭載部品はユーザ手配、ユーザ実装
機能	アルテラ USB-Blaster 等価機能
使用マイコン	PIC18F14K50-I/P (マイクロチップ・テクノロジー) (3.3V ネイティブ動作)
USBコネクタ	USB mini B
電源供給	USBバス・パワー MAX10-FB側に電源供給可能
電源電流(3.3V)	LT1963A-3.3使用：合計1.5A (電源ICは面実装型で、SSOP-8またはSOT-223いずれも実装可能)
PIC18マイコンのプログラム	・USB-Blaster等価機能(JTAG機能のみ) ・コンパイラ：XC8 ・USBライブラリ：最新Microchip Libraries for Applications使用 ・プログラムのソースは公開
PIC18マイコンのFLASHメモリ書き込み方法	PIC18マイコンのFLASHメモリは、初期状態の「MAX10-FB」側から書き込み(PICマイコン用フラッシュ書き込み器「PICKit3」などは不要)

記の2種類のコンフィグレーション方法があります。

(1) JTAG コンフィグレーション：JTAG ポートから直接FPGA内の論理構造をコンフィグレーションする。電源投入のたびに必要。電源が落ちるとコンフィグレーション情報も消える。

(2) 内部コンフィグレーション：あらかじめJTAGポート経由で内蔵FLASHメモリにコンフィグレーション・データを書き込んでおく。電源投入のたびに、その内蔵FLASHメモリからFPGA内の論理構造をコンフィグレーションする。

このいずれに関しても、一般的にはUSB Blaster と呼ばれるアルテラ社純正のUSB-JTAG 変換ケーブル、またはその相当品を使って、開発ツール Quartus Prime が生成したコンフィグレーション・データをFPGAに送り込む必要があります。

●FPGA にはデバッグ環境の提供も必要

MAX 10 FPGA には、Nios II (Gen2) という 32 ビットの組み込み向けCPUコアを搭載できます。RTLで提供されているソフトIPです。CPUを内蔵できるので、そのソフトウェア開発時にはデバッグが欠かせませんが、FPGA デバイスのJTAGポート経由で簡単にソース・レベル・デバッグできる機能がサポートされています。

このデバッグ操作にも、USB Blaster を使います。

●MAX 10 FPGA のコンフィグレーション&デバッグ用基板

今回のMAX10-FB基板上のFPGAのコンフィグレーションとデバッグ用に、USB Blaster 相当の機能を提供するのがもう1枚の付属基板であるMAX10-JB基板なのです。その外観を写真1に、仕様を表1に、ブロック図を図1に示します。

MAX10-JB基板は、USB Blaster のJTAG インターフェース機能のみをサポートします。AS(Active Serial) インターフェースやPS(Passive Serial) インターフェースはサポートしません。

MAX10-JB基板は、部品を実装していない生基板

見本

第5章

MAX 10によるPICマイコンFLASH書き込み器の構造と、PICマイコンによるUSB Blaster等価機能の実現

MAX10-FB基板とMAX10-JB基板の協調動作の仕組み

本書付属DVD-ROM収録関連データ		
格納フォルダ	内 容	備考
CQ-MAX10¥PIC¥USB_JTAG¥firmware	USB Blaster 等価機能用PICマイコン・プログラムのプロジェクト一式 (MPLAB X IDE用)	いずれも参考用であり読者が使用する必要はない
CQ-MAX10¥PIC¥hex2c	PICマイコンのバイナリ・ファイル(hex)をNios IIプログラムにインクルードするためにCソース・コードに変換するユーティリティ(ANSI Cでコンパイルして使用)	
CQ-MAX10¥Projects¥PROJ_PIC_Programmer	PICマイコンのFLASH書き込み器としてのMAX 10 FPGA プロジェクト (Quartus Prime, Nios II Eclipse用)	

●はじめに

本章の前半では、MAX10-JB 基板上の PIC マイコンの FLASH メモリにプログラムを書き込むために MAX10-FB 基板(出荷時点)の FPGA に仕込んだシステムについて解説します。その実現のために FPGA

内に特殊な SPI モジュールを組み込んでありますが、このモジュールについては、別冊の「実践編」の中で論理設計と論理検証の例題として詳しく解説します。

また後半では、PIC マイコンにプログラムを書き込んだ以降、MAX10-JB 基板は USB Blaster 等価機能を持ちますが、その仕組みと PIC マイコンのプログラム内容について解説します注。

表1 PIC18F14K50-I/P の仕様概要

項 目	内 容
型名	PIC18F14K50-I/P
パッケージ	DIP-20 ピン
FLASH メモリ	16K バイト
EEPROM	256 バイト
RAM	768 バイト
CPU	・ 8 ビット高性能 RISC ・ 16 ビット固定長命令
動作条件	・ 電源電圧：2.7V～5.5V ・ 最大動作周波数：48MHz
USB デバイス機能	・ USB 2.0 準拠 ・ フル・スピード (12Mbps) またはロウ・スピード (1.5Mbps) ・ コントロール転送、インタラプト転送、アイソクロナス転送、バルク転送 ・ 16 エンドポイントまでサポート (双方向 8 組) ・ 256 バイト・デュアル・ポート RAM
A-D 変換器	・ 10 ビット分解能
アナログ・コンパレータ	・ 2 ユニット、Rail-to-Rail 入力
タイマ	・ 拡張型コンペア/キャプチャ/PWM (ECCP) ・ PWM 出力本数：1～4 本
同期シリアル	3 ワイヤ SPI マスタまたは I ² C マスタ/スレーブ
非同期シリアル	UART

PIC マイコン書き込み器としての MAX10-FB 基板

● MAX10-JB 基板に搭載した PIC18F14K50-I/P の概要

MAX10-JB 基板に搭載した PIC マイコンの仕様概要を表 1 に、ピン配置図を図 1 に示します。この PIC マイコンは USB 2.0 のデバイス側の機能を持っており、ローコストな USB 機器を自作するのに適しています。この PIC マイコンの FLASH メモリにプログラムを書き込む必要があります。

● 初期出荷状態の MAX10-FB 基板は PIC 書き込み器になっている

初期出荷状態の MAX10-FB 基板はその出荷検査も兼ねて、搭載する MAX 10 デバイスの FLASH メモリにコンフィグレーション・データが書き込まれています。

注) 本章の内容は、MAX10-FB 基板と MAX10-JB 基板の協調動作の仕組みに関する技術情報を提供するものであり、付録の MAX10-FB 基板と MAX10-JB 基板を使うだけであれば必ずしも理解する必要はない。
また、本章で説明する FLASH メモリ書き込み方式は、PIC マイコンの FLASH メモリに関するものである。MAX 10 内の FLASH メモリに関するものではないので混同しないようにすること。

見本

第6章 Quartus Prime Lite Editionと関連ツールをインストールして、基板とPC間の接続確認を行う

MAX 10用開発環境のインストール

本書付属DVD-ROM収録関連データ	
格納フォルダ	内 容
CQ-MAX10¥Quartus_Prime¥Quartus-lite-15.1.1.189-windows	<ul style="list-style-type: none">• Quartus Prime Lite Edition• Nios II EDS• ModelSim-Altera Starter Edition

●はじめに

本章では、MAX 10 FPGA デバイスの開発に必要なツール一式をインストールします。実際の各ツールの使用方法は後続の章で説明します。

また、前の章までに作成した、MAX10-FB 基板とMAX10-JB 基板をUSB ケーブルでPC に接続して、正常に認識されるかどうかの確認を行います。

MAX 10 FPGA 用開発ツール

●インストールするツールの種類

今回、MAX 10 FPGA の開発をするためにインストールするツールのうち主なものを表1 に示します。FPGA の統合化開発環境 Quartus Prime、論理シミュ

表1 インストールする主なツール





アイコン	ツール名	説 明
	Quartus Prime Lite Edition	FPGA の統合化開発環境。ファイル編集、論理合成、配置配線、タイミング検証、コンフィグレーション用ファイル生成などを行う。Qsys を起動して、Nios II コアなど各種IP を含むシステム設計が可能
	Quartus Prime Programmer	コンフィグレーション用ファイルのFPGA への書き込みツール。MAX10-JB 基板のUSB Blaster 等価機能を介して、MAX10-FB 基板上のMAX 10 への書き込みが可能
	ModelSim-Altera Starter Edition	論理シミュレーション用ツール。FPGA の固有IP のモデルも搭載しており、FPGA 全体をシミュレーションできる
	Nios II EDS (Embedded Design Suite)	Nios II のC プログラム統合化開発環境。MAX10-JB 基板のUSB Blaster 等価機能を介して、MAX 10 内に構築したNios II コアのソース・レベル・デバッグが可能

図1
必要なインストール用ファイルを同一階層に置く

名前	更新日時	種類	サイズ
arria_lite-15.1.0.185.qdz	2015/10/23 9:43	QDZ ファイル	509,630 KB
cyclone-15.1.0.185.qdz	2015/10/23 9:42	QDZ ファイル	475,035 KB
cyclonev-15.1.0.185.qdz	2015/10/23 9:31	QDZ ファイル	1,178,911 KB
max10-15.1.0.185.qdz	2015/10/23 9:30	QDZ ファイル	347,029 KB
max-15.1.0.185.qdz	2015/10/23 9:31	QDZ ファイル	11,536 KB
ModelSimSetup-15.1.0.185-windows.exe	2015/10/23 12:29	インストーラ・シジョン	1,157,309 KB
QuartusHelpSetup-15.1.0.185-windows.exe	2015/10/23 12:31	アプリケーション	299,035 KB
QuartusLiteSetup-15.1.0.185-windows.exe	2015/10/30 5:23	アプリケーション	1,479,208 KB
QuartusSetup-15.1.1.189-windows.exe	2015/12/05 4:33	アプリケーション	1,665,040 KB
update_info.txt	2015/12/05 4:34	テキストドキュメント	1 KB

見本

第7章 LEDチカチカをネタにして、 Quartus Primeの一通りの使い方をマスタしよう

FPGA開発ツール Quartus Prime入門

本書付属DVD-ROM収録関連データ

格納フォルダ	内 容	備 考
CQ-MAX10¥Projects¥PROJ_COLORLED	フル・カラー LEDチカチカ回路のプロジェクト一式(Quartus Prime用)	本章では、このプロジェクトを読者がゼロから作成する方法を説明する。参考用として提供する。

●はじめに

本章では、フル・カラー LED のチカチカ点滅回路を題材にして、Quartus Prime による基本的な開発の流れを一通りマスタしましょう。

新規プロジェクトの作成、Verilog HDL 記述の編集、解析、合成、外部端子への信号アサイン、配置・配線を含めた FPGA のコンパイル、FPGA のコンフィグレーションまでの基本的な流れを説明します。

また、FPGA の内部信号をロジック・アナライザ(ロジアナ)のように観測できる SignalTap II という機能を Quartus Prime が持っており、その使い方も説明します。

最後に、タイミング解析の例として、設計した論理回路の最高動作周波数を確認してみます。

Quartus Prime による FPGA の開発フロー

まず、Quartus Prime による FPGA の開発フローについて説明します。図 1 にその全体フローを示します。

●新規プロジェクトの作成

Quartus Prime では、FPGA 内に構築する設計対象をプロジェクトとして管理します。一番最初にプロジェクト・ファイル(xxx.qpf)を作成します。

Quartus Prime には新規プロジェクトを作成するための支援機能(ウィザード)があり、プロジェクト名とプロジェクト格納場所の指定、対象 FPGA デバイスの指定、使用する HDL 言語(Verilog HDL, System Verilog, VHDL)の選択などを、ウィザードの指示に従って行うことで新規プロジェクトを生成できます。

なお、本書では HDL 言語として、Verilog HDL を使用することを基本前提とします。一部、C 言語混在

シミュレーションについて説明するときに System Verilog を使用します。

既存のプロジェクトをベースにした別の設計を行う場合は、プロジェクト・フォルダをそのままコピーしてフォルダ名を変更して、プロジェクト内の設計内容を変更することで対応できます。または、新規プロジェクト作成用ウィザード内でも既存プロジェクトの設定内容を引き継ぐこともできます。

●論理記述(Verilog HDL)の作成

FPGA の最上位(トップ)階層から、下位の個々のモジュールまで、一連の論理記述(Verilog HDL)を作成します。論理設計の基礎や、Verilog HDL の書き方や文法については、姉妹書の実践編の中で詳細に説明しますので、わからなくてもとりあえずこのまま入力しておいてください。

Quartus Prime テキスト・ファイルの編集機能を使って論理記述を作成し、プロジェクトに登録していきます。論理記述ファイルを Quartus Prime 上で新規作成すれば自動的にプロジェクトへ登録されますが、既存の論理記述を流用する場合は、マニュアルで追加します。

Nios II CPU コアなどの各種 IP を含むシステムは Qsys を使って設計できます。そのシステムを FPGA に組み込む場合は、対応するインスタンス化記述を論理記述へ追加します。

必要に応じて、FPGA の固有機能(ロジアナ機能の SignalTap II や、デュアル・コンフィグレーション機能など)も論理記述へ追加します。

●論理シミュレーション

作成した論理記述が簡単なものであれば、いきなり FPGA に実装して動作確認する場合もありますが、一般的には論理シミュレーションでその機能動作を検証

見本

第8章

PLLの使い方とパワーONリセット回路の作り方をマスタしよう

論理回路の土台!

MAX 10のクロックとリセットの基礎

本書付属DVD-ROM収録関連データ

格納フォルダ	内 容	備 考
CQ-MAX10¥Projects¥PROJ_COLORLED2	フル・カラー LED 階調明減回路のプロジェクト一式 (Quartus Prime 用)	本章では、このプロジェクトを読者がゼロから作成する方法を説明する。参考用として提供する。

●はじめに

本章では、論理回路の土台になるクロックとリセットについて、特に FPGA 設計で必要になる知識をマスタします。

ここでは、さまざまな周波数のクロックを合成できる PLL (Phase Locked Loop) の使い方と、外部リセット信号を省略するためのパワー ON リセット回路の作り方について説明します。フル・カラー LED の階調明減回路を題材にします。

PLL とパワー ON リセット回路

●PLL とは

FPGA も必ずといっていいほど PLL (Phase Locked Loop) を搭載しています。PLL は入力クロックに対して通倍と分周を施すことで、さまざまな周波数のクロックを合成できます。

MAX 10 が持つ PLL では、周波数だけでなく、位相やデューティ比の設定もできます。図 1 に示す ALTPLL という IP の場合、1 本の入力クロックから最大 5 種類のクロックを生成できます。これ以外にも輻射ノイズの計測値を低減させるための周波数拡散機能や、動作中に動的に再設定できる機能などもあり、



図1 PLLの概要

ALTPLL という IP の基本機能を示す。

非常に多機能です。

●本書での PLL 設定の基本

本書では原則として、PLL への入力クロックの周波数は MAX10-FB 基板上の発振器から供給される 48MHz とし、PLL からユーザ論理に供給するクロックの周波数は 50MHz とします。

プロジェクトによっては、FPGA 内で使用する IP の仕様に依存して、位相や周波数を変えたクロックも PLL で生成することがあるので、その都度説明します。

●パワー ON リセット回路とは

論理回路内のフリップフロップ (順序回路) は、放っておくと初期状態が不定なので、通常はリセットが必要です。前章の PROJ_COLORLED の事例では、リセット信号は MAX10-FB 基板上のタクト・スイッチで入力しました。この基板上でユーザが使えるスイッチは一つだけなのでリセット用に使うと他には使えなくなります。

このような場合、パワー ON 時に電源電圧の立ち上がりを検出したら自動的にデバイス内にリセット信号を一定期間だけ送るパワー ON リセット回路があると便利です。マイコン (MCU : Micro Controller Unit) などでは一般的に内蔵している機能です。

●MAX 10 自体はパワー ON リセット回路を内蔵している

MAX 10 デバイスそのものには、実はパワー ON リセット回路が内蔵されています。これは電源立ち上がりを検出したら、内蔵 FLASH メモリのコンフィグレーション・データを使って自動的に FPGA をコンフィグレーションするために用意されています。

見本

第9章

MAX 10のFPGAには2種類の コンフィグレーション・データを格納できる

MAX 10のデュアル・ コンフィグレーション機能を活用

本書付属DVD-ROM収録関連データ

格納フォルダ	内 容	備 考
CQ-MAX10¥Projects¥PROJ_COLORLED3	デュアル・コンフィグレーション用のプロジェクト×2種類：FPGA1とFPGA2 (Quartus Prime用)	本章では、このプロジェクトを読者がゼロから作成する方法を説明する。参考用として提供する。

●はじめに

本章では、MAX 10 FPGA の大きな特徴であるデュアル・コンフィグレーション機能の活用方法をマスタしましょう。デュアル・コンフィグレーション機能を使うと、2種類のコンフィグレーション情報をMAX 10のFLASHメモリに記憶させることができ、例えば、FPGAの起動時にユーザがどちらを使うかを自由に選択できるようになります。

ここでは前章までに作成したフル・カラーLEDの色変化点滅回路と階調明滅回路の2種類のコンフィグレーション・データをFLASHメモリに書き込んで、それぞれをFPGAの起動時に選択して動作させてみます。

デュアル・コンフィグレーション機能とは

●デュアル・コンフィグレーションの基本機能

デュアル・コンフィグレーションの流れの一例を図1に示します。

まず、2種類のプロジェクトから生成したコンフィグレーション・ファイルxxx.sofをそれぞれ合体してoutput_file.pofというファイルを作成し、MAX 10のコンフィグレーション用FLASHメモリ(CFM0およびCFM1/CFM2)に書き込んでおきます。

MAX 10 FPGAに電源印加するか、またはnCONFIG信号に“L”レベルのパルスを与えると(MAX10-FB基板のSW2を押すと)、FLASHメモリ内のコンフィグレーション・データがデュアル仕様ならば、CONFIG_SEL端子のレベルをチェックし、“L”レベルならCFM0に書き込んだデータでFPGAをコンフィグレーションし、“H”レベルならCFM1/CFM2に書き込んだデータでコンフィグレーションします。

●デュアル・コンフィグレーションの高度な機能

デュアル・コンフィグレーション機能は、単に2種類のコンフィグレーション・データを選択するだけではありません。

2種類のコンフィグレーション・イメージを動作中でもダイナミックに切り替えることができますし、システムに組み込まれた状態で、リモート・システム・アップグレードをすることができます。

また、出荷時のコンフィグレーション・イメージを片方の領域に入れて、システム・アップグレード時の新しいイメージはもう一方の領域に入れるようにすると、もし、アップグレード後に問題が起こった際も出荷状態に切り替えることができます(フェイルセーフ・アップグレード機能)。

●デュアル・コンフィグレーション使用時の注意

デュアル・コンフィグレーション機能を使う場合は、下記の点を考慮してください。

- Quartus Primeの個々のプロジェクトから生成するコンフィグレーション・ファイルは、デュアル・コンフィグレーション用の圧縮ファイル形式にすること。
- 2種類のコンフィグレーション・ファイルは、Quartus Prime内のConvert Programming Filesというツールで合体する。
- デュアル・コンフィグレーション機能を使う場合は、アルテラ社から提供される専用デュアル・コンフィグレーション用IPをユーザ論理内に組み込むこと。このIPは、リモート・システム・アップグレード機能なども含むが、単にFPGAの立ち上げ時に2種類のコンフィグレーション・データを選択するだけのケースでも組み込む必要がある。
- FPGA内のメモリ・ブロック(M9K RAM)に初期値

見本

第10章 無償の論理シミュレータで FPGAをホイホイ論理検証する手順をマスタしよう

ModelSim Altera Starter Edition による論理シミュレーション入門

本書付属DVD-ROM収録関連データ

格納フォルダ	内 容	備 考
CQ-MAX10¥Projects¥PROJ_COLORLED	フル・カラー LED チカチカ回路のプロジェクター式(Quartus Prime用)	前章までに作成したプロジェクトを使って論理シミュレーションを実行する
CQ-MAX10¥Projects¥PROJ_COLORLED2	フル・カラー LED 階調明減回路のプロジェクター式(Quartus Prime用)	

●はじめに

本章では、アルテラ社から無償で提供されている論理シミュレーション用ツール ModelSim Altera Starter Edition(以下、ModelSim と記述)の使い方について解説します。

題材としては、これまでの章で解説した、フル・カラー LED チカチカ回路 PROJ_COLORLED と、階調明減回路 PROJ_COLORLED2 をそれぞれ使って、MAX 10 FPGA 全体を論理シミュレーションしてみます。

論理シミュレーションの 基本的な考え方

●本書では RTL 設計をベースとする

FPGA の論理設計を行う場合、最も抽象度が低いレベルは、回路図上で論理ゲートを直接組み上げていく設計です。しかし、この設計エントリ方法は論理合成ツールの性能が向上した今ではほとんど使わないでしょう。

論理ゲートから1段階高い抽象レベルは RTL (Register Transfer Level) です。Verilog HDL や VHDL といったハードウェア記述言語で表現できるので、基本的には内部回路のレジスタ(フリップフロップ)だけは明確に定義して、そのレジスタ間の論理をブール式や条件式などで抽象化する記述方法です。

論理合成ツールを使えば RTL から論理ゲートへ自動変換でき、現在では非常に効率の良い合成結果が得られるようになっていきます。RTL 記述は抽象度が高いといっても、そこから論理ゲートで構成される回路をほぼ類推できるので、テキスト・エディタで記述で

きる便利な回路図のような感じです。本書での論理設計はこの RTL レベルで行います。

●論理シミュレーションとは

LED をチカチカする程度の簡単な論理回路の場合、いきなりハードウェア記述言語 Verilog HDL で回路を記述して FPGA をコンフィグレーションし、動作確認しながら仕上げることもできるでしょう。実際、ここまでに取り上げた LED 点滅回路は、筆者もそうやって作成しました。

しかし、もっと複雑な論理回路を設計する場合、FPGA による実機動作確認だけではデバッグしきれません。Quartus Prime がサポートするロジアナ機能 Signal Tap II を使う手もありますが、FPGA のリソースを消費するし、見たい信号やトリガ条件を変更するだけでも、毎回 FPGA 全体をコンフィグレーションし直す必要があり、デバッグ効率は良くありません。

よって、論理設計においては、設計した論理回路の動作を PC 上でシミュレーションして、その内部信号やシステム動作が所望の通りかどうかを確認する作業が欠かせません。

●ハードウェア記述言語はシミュレーションのための言語

余談ですが、そもそも Verilog HDL というハードウェア記述言語は、論理シミュレータを作る側の人にとって都合の良い言語なのです。言語バージョンが上がるたびに改善されてきましたが、設計者のための言語というよりは、EDA (Electronic Design Automation) ツール開発者のための言語のようでした。

このあたりの楽しい(?)不平不満については、姉妹書の実践編の中で語ってみたいと思います。

見本

第11章 Nios II コアの概要とその開発フローをマスターしよう

Nios II システムの概要

●はじめに

本章では、Altera 社から提供されている RTL ベースのソフト CPU コア Nios II の概要とその開発フローについて説明します。具体的な設計事例は次章以降で説明します。

Nios II コアとそのシステム

●MAX 10 で使えるコアは Nios II Gen 2

Nios II コアには、Classic と Gen 2 の 2 種類があります。基本的に命令コードはバイナリ・コンパチブルですが、キャッシュ関係の仕様(キャッシュ・パイプ関係)が異なっています。

開発環境 Quartus II Ver14.1 以降から Gen 2 だけがサポートされており、MAX 10 で使えるコアも Gen 2 のみです。以下の説明で Nios II と表記したものは全て Gen 2 コアを指します。

●本書では Nios II/e コアを使う

Nios II コアには 2 種類あります。表 1 にその機能比較を示します。Nios II/e(Economy コア)は無償ですが、機能は限定されており、クロック当たりの性能は低いです。Nios II/f(Fast コア)は有償ですが、高機能でクロック当たりの性能も高いです。

本書では、無償の Nios II/e コアを使ったシステム設計事例を説明します。Nios II/e はキャッシュやメモリ管理ユニット(MMU)などのサポートがなく、かつ命令性能も低いですが、組み込み用のシンプルなシステム・コントローラとしては十分な機能があり、論理規模も小さく、FPGA の LE(Logic Element)をあまり消費しないという特長があります。

●Nios II コアのブロック図

Nios II コアのブロック図を図 1 に示します。Nios II コアは機能仕様をユーザがコンフィグレーションでできるようになっており、必要な機能だけを選択できます。カスタム命令の追加も可能であり、クリティカル

な処理をハードウェア化した命令を追加することで、システム性能を向上させることができます。

本書の設計事例に組み込む Nios II/e コアには、図 1 内で(*)を付した JTAG デバッグ・モジュールと内部割り込みコントローラをオプション追加して使います。

●Nios II コアの詳細仕様を理解せずとも開発できる

Nios II コアの論理を FPGA に組み込む作業は設計ツールにより自動化されています。ソフトウェア開発は C 言語ベースでありデバイス・ドライバも自動生成されます。これらのサポートによって、Nios II コアの低レベルな階層の詳細仕様を理解することなく開発を進められるようになっています。

Nios II コアの詳細アーキテクチャや命令仕様について詳しく知りたいときは、参考文献(1)を参照してください。

●Nios II のシステム構成と Avalon インターフェース

Nios II コアにより構成するシステム例を図 2 に示します。

図 2 の一番上にバス・マスタになる Nios II コアと DMAC(Direct Memory Access Controller)があります。Nios II コアは、命令を取り込む命令バスとデータのリード/ライトを行うデータ・バスが分離したハーバード・アーキテクチャを採用しています。

図 2 の一番下には、バス・マスタからのアクセスを受けるスレーブ・モジュール(メモリや周辺機能)があります。

●基本的なバス規格は Avalon-MM インターフェース

Nios II システムにおけるバス・マスタとスレーブ・モジュールの間のバス・インターフェース規格としては、Avalon-MM インターフェースが採用されています。MM とは Memory Mapped の略であり、アドレ

見本

第12章 Nios IIシステムのハードウェア設計, ソフトウェア設計, 論理シミュレーションまで全部通してやってみよう

Nios IIシステムでLチカ

本書付属DVD-ROM収録関連データ		
格納フォルダ	内 容	備 考
CQ-MAX10¥Projects¥PROJ_NIOSII_LED	Nios IIによるフル・カラーLED点滅動作のプロジェクト一式(Quartus Prime用, Nios II EDS用, ModelSim Altera用)	本章では、このプロジェクトを読者がゼロから作成する方法を説明する(参考用として提供する)。本章で説明する手順が全て終わった状態のプロジェクトを格納してある。

●はじめに

本章では、前章で説明したNios IIシステム開発の一連の手順を具体的に説明します。Nios IIシステムを設計ツールQsysを使って設計して、C言語によりLEDのチカチカ動作をさせてみます。さらにハードウェアとソフトウェアを含めた論理シミュレーションの手法についても説明します。

最終的にFPGAのコンフィグレーション・データとNios IIのソフトウェアをMAX 10のFLASHメモリに格納するので、本章で説明する手法をマスタすれば、オリジナルFLASHマイコンを構築することができますようになります。

QsysでNios IIシステムのハードウェアを設計

●何はともあれQuartus Primeの新規プロジェクトを作成

本章では、何もないゼロの状態からNios IIシステムの構築をしていきます。まずは図1に従ってQuartus Primeの新規プロジェクトを作成してください。ここではディレクトリPROJ_NIOSII_LEDの下にプロジェクトFPGAを生成します。

●Qsysを立ち上げて、基本クロック周波数を設定

FPGA内の中心となるNios IIシステムから設計していきましょう。FPGAの最上位階層の下に、ここで設計するNios IIシステムがインスタンス化されることになります。

Quartus Primeのメニューから、いきなり図2に示す手順でQsysを立ち上げて作業してください。今回

のNios IIシステム階層のモジュール名はQSYS_COREとするので、Qsys設計情報はQSYS_CORE.qsysとしてセーブします。

クロック信号とリセット信号を上位階層から受けてNios IIシステム内に供給するClock Sourceモジュール(インスタンス名: clk_0)がデフォルトで存在しています。ここではNios IIシステム内の基本クロック周波数を50MHzに設定しておきます。

●Nios IIのCPUコアを追加

図3の手順でNios IIのCPUコアNios II Processorを追加してください。ここでは無償のNios II/eを選択します。インスタンス名は自動的にnios2_gen2_0になります。ここでは、インスタンス名は自動的にアサインされたものを変更せずそのまま使います。CPUコアのコンフィグレーションはメモリを追加したあとで設定するので、クロック信号とリセット信号を接続するだけで次に進みます。

●FLASHメモリを追加

図4の手順でFLASHメモリを追加してください。インスタンス名は自動的にonchip_flash_0になります。

FLASHメモリは、FPGAのコンフィグレーション情報記憶用のCFMと、ユーザ・メモリ用のUFMから構成されていますが、コンフィグレーション情報の形式によってそれぞれの容量配分が変わります。

ここでは、コンフィグレーション情報の形式を「Single Compressed Image with Memory Initialization」にしておきます。MAX 10デバイス内に記憶できるコンフィグレーション情報は1種類とし、データは圧縮して、内蔵RAMの初期化情報も含

見本

第13章 Nios IIシステムで割り込みを使う方法を マスタしよう

Nios IIシステムで割り込み

本書付属DVD-ROM収録関連データ

格納フォルダ	内 容	備 考
CQ-MAX10¥Projects¥PROJ_NIOSII_INT	Nios IIの割り込みによるフル・カラーLED点滅動作のプロジェクト一式 (Quartus Prime用, Nios II EDS用)	本章では、このプロジェクトを読者が前章のPROJ_NIOSII_LEDをベースにして作成していく方法を説明する。参考用として提供する。本章で説明する手順が全て終わった状態のプロジェクトを格納してある。

●はじめに

本章ではNios IIシステムにおける割り込みの使い方をマスタしましょう。組み込みマイコンで割り込みは頻繁に使うものですが、いざ使おうとしたときに、C言語での記述方法などでちょっと迷うことがあります。そのあたりの不安は早い段階で払拭しておきましょう。

ここでは、Nios IIシステム内に、周期的に割り込み要求を発生するインターバル・タイマを新規に追加して、その割り込みハンドラ内でLEDの色を変えていくプログラムを作成してみます。

Nios IIシステムに インターバル・タイマを追加

●前章で作成したプロジェクトを複製して新規プロジェクトを作成

前章で作成したプロジェクトをリユースしましょう。前章の最後の状態、すなわち、FLASHメモリへのコンフィグレーション・データとプログラムの固定

化ができた状態のプロジェクトをベースにしてください。

図1に示すように、プロジェクトが含まれるディレクトリ PROJ_NIOSII_LEDを丸ごと複製して新規ディレクトリ PROJ_NIOSII_INTを作成してください。

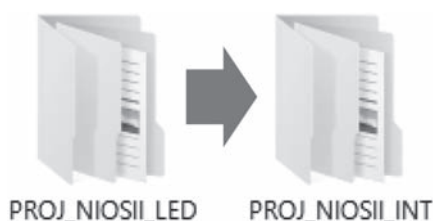
●Quartus Primeでプロジェクトを開く

Quartus Primeで複製したプロジェクト PROJ_NIOSII_INT¥FPGA¥FPGA.qpfを開きます。

●QsysでNios IIシステム内にインターバル・タイマを追加

複製したプロジェクト内のNios IIシステム QSYS_CORE.qsysにはインターバル・タイマが2個入っていますが、これらはシステム・クロックとタイムスタンプ用に使っています。ここでは、ユーザ割り込み発生用のインターバル・タイマをもう一つ追加します。

図2に示すように作業してください。ここで追加



(1)フォルダ「PROJ_NIOSII_LED」を複製して、フォルダ名を「PROJ_NIOSII_INT」に変更する

(2)Quartus Primeを起動して、プロジェクト・ファイル「PROJ_NIOSII_INT¥FPGA¥FPGA.qpf」を開く

図1 Quartus PrimeのプロジェクトをディレクトリPROJ_NIOSII_INT以下に作成

前章で作成したプロジェクトが含まれたディレクトリPROJ_NIOSII_LEDをコピーして、ディレクトリ名をPROJ_NIOSII_INTに変更する。

見本

第14章 MAX 10内蔵のA-D変換器を Nios IIシステムで使う方法をマスタしよう

Nios IIシステムでA-D変換器

本書付属DVD-ROM収録関連データ		
格納フォルダ	内 容	備 考
CQ-MAX10¥Projects¥PROJ_NIOSII_ADC	Nios IIシステムにA-D変換器を組み込み、アナログ信号のレベルに応じてフル・カラーLEDの色を変えるプロジェクト一式(Quartus Prime用、Nios II EDS用)	本章では、このプロジェクトを読者が前章のPROJ_NIOSII_INTをベースにして作成していく方法を説明する。参考用として提供する。本章で説明する手順が全て終わった状態のプロジェクトを格納してある。

●はじめに

本章ではMAX 10の特長である12ビットA-D変換器の使い方をマスタしましょう。アルテラ社からは、MAX 10のA-D変換ハードウェア・ブロックをNios IIシステムの中に組み込むためのインターフェース用IPが提供されており、簡単に使いこなすことができます。

ここでは、Nios IIシステム内にA-D変換器を組み込み、外部のアナログ電圧値に応じてフル・カラーLEDの色を変化させる実験をやってみます。

MAX 10のA-D変換器の概要

●アルテラ・モジュラADCコアの基本構成

MAX 10のA-D変換ハードウェア・ブロックをNios IIシステムの中に組み込むためのインターフェース用IPが、アルテラ・モジュラADCコア(Altera Modular ADC Core)です。

この中は大きく分けて二つのブロックから構成されています。

一つは、シーケンサ・コアで、複数のアナログ入力チャンネルの変換シーケンスを制御するためのブロックです。アナログ入力本数とその変換シーケンスは、Qsys上でアルテラ・モジュラADCコアを追加するときに設定し、ハードウェアとして固定化します。

もう一つはストレージ・コアで、変換結果を保持するストレージを持ち、変換終了割り込みを出力できます。

シーケンサ・コアとストレージ・コアはそれぞれ独立したAvalon-MMインターフェースを持ち、それぞ

れをNios II CPUコアにバス接続する必要があります。

●A-D変換器の入力チャンネル

MAX10-FB基板上に搭載した10M08(EQFP-144ピン版)は、12ビットA-D変換器を一つ持ち、外部からのアナログ入力チャンネルとしてはCH0～CH8の9本あります。CH0は専用端子(ANAIN1)で、CH1～CH8がデジタル機能との兼用端子(ADC1IN1～ADC1IN8)に対応します。兼用端子8本の機能はA-D変換器を有効化すると全てアナログ入力専用になり、デジタル機能をアサインすることができなくなるので注意してください。

さらに、MAX 10は温度計測用ダイオードを内蔵しており、その値をA-D変換器に取り込むための内部専用チャンネルTSD(Temperature Sensing Diode)があります。

●複数入力チャンネルの変換シーケンス

複数の入力チャンネルは、任意にチャンネルを切り替えながら最大64回連続変換できます。1回の変換をスロット(Slot)と呼び、各スロットごとに任意の入力チャンネルを対応できます。よって、同じ入力チャンネルを連続して変換することもできます。

スロットの個数および、各スロットと入力チャンネルの対応については、Qsys上でアルテラ・モジュラADCコアを追加するときに設定する必要があります。この設定はハードウェアとして固定化され、ソフトウェアからの変更はできません。

ただし、シングル・サイクル変換モードと連続変換モードは、ソフトウェアからのレジスタ設定で選択できます。シングル・サイクル変換モードでは、有効化

見本

第15章 MAX 10にSDRAMを接続して 広大なメモリ空間を手に入れよう

Nios IIシステムでSDRAMアクセス

本書付属DVD-ROM収録関連データ		
格納フォルダ	内 容	備 考
CQ-MAX10¥Projects¥PROJ_NIOSII_SDRAM	Nios IIシステムにSDRAMを接続して、メモリ・チェックを行うプロジェクト一式(Quartus Prime用、Nios II EDS用、ModelSim Altera用)	本章では、このプロジェクトを読者が前章のPROJ_NIOSII_ADCをベースにして作成していく方法を説明する。参考用として提供する。本章で説明する手順が全て終わった状態のプロジェクトを格納してある。

●はじめに

本章ではNios IIシステムから外部のSDRAM (Synchronous Dynamic RAM)をアクセスする方法をマスタしましょう。MAX10-FB基板に載せたSDRAMのライト&リード・テストをしてみます。ユーザが自分でMAX10-FB基板にSDRAMをはんだ付けして実装した時のメモリ・チェックは本章のプロジェクトを使ってください。

FPGAにSDRAMを接続すると広大なメモリ空間を手に入れることができます。MAX 10の場合は、プログラムをFLASHメモリに格納して、大規模データをSDRAMに置くことにより、データ処理や画像処理を伴うさまざまな組み込み応用機器に活用できるでしょう。

SDR 型 SDRAM の概要

●レガシーな SDR 型 SDRAM は今でも現役バリバリ

最近のSDRAMは、DDR(Double Data Rate)型が主流で、DDR2、DDR3、DDR4などがPCのメイン基板はもちろん、Raspberry Piなどの小型Linux基板にも活用されています。クロックの立ち上がり立ち下りの両エッジでデータを転送する非常に高速なSDRAMです。

一方、今回のMAX10-FB基板に搭載できるSDRAMはレガシーなSDR(Single Data Rate)型です。クロックの立ち上がりエッジだけに同期してデータ転送するDRAMです。

SDR型はDDR型よりもデータ転送速度は遅いのですが、タイミング設計が楽で、特にMAX 10の10M08などDDRメモリとのインターフェースができないFPGAにも簡単に接続することができます。

今回の付属基板に搭載するSDRAMは、256Mビット品(32Mバイト、16Mワード×16ビット構成)または512Mビット品(64Mバイト、32Mワード×16ビット構成)を推奨しています。MAX 10(10M08)の規模で実現できるアプリケーションから見れば、十分なメモリ容量があるといえるでしょう。

SDR型SDRAMは、既に大手のDRAMメーカーは製造していませんが、そうした大手メーカーから権利を入手して製造を継続している中小メーカーがあり、価格的にもこなれていて今でも現役で活躍しているメモリなのです。

本章では、以下SDRAMといえば全てSDR型を指します。

●SDRAM インターフェース信号

図1にSDRAMのインターフェース信号を示します。全ての信号は、CLKの立ち上がりで受け手側に取り込まれます。

SDRAM側の信号でCKEからBA1、BA0までは、コマンド系信号です。コマンド系信号の“H”レベルと“L”レベルの組み合わせパターンにより、リードやライトのアクセス方法の指示やリフレッシュの指示などを行います。

DQ15～DQ0は入出力データです。UDQM、LDQMはデータ入出力マスク信号です。以下、簡単にSDRAMのアクセス・タイミングについて説明します。

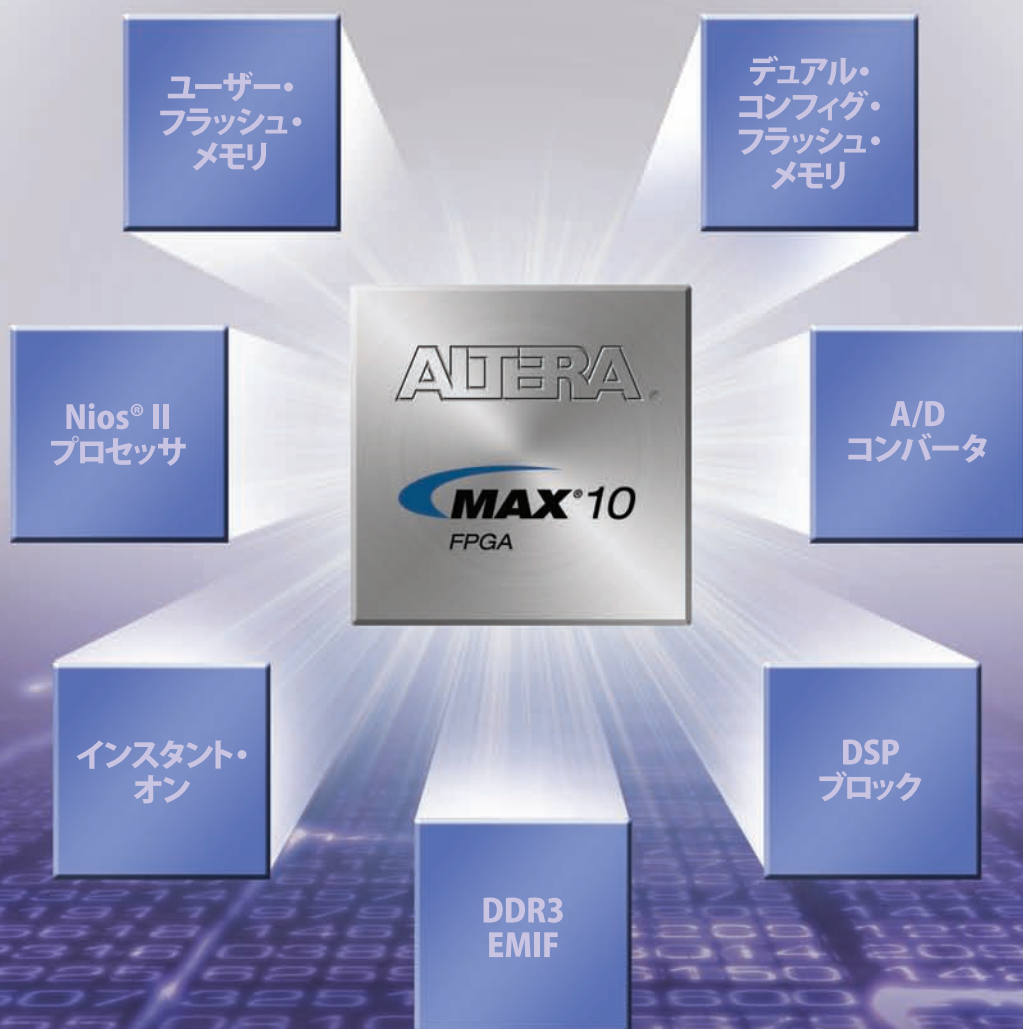
見本

CQ出版社

見本

システムを極限まで統合

フラッシュ・メモリ内蔵 MAX[®] 10 FPGA



www.altera.co.jp/max10

ALTERA
now part of Intel

雑誌 06664-4
L 2016.6/15



4910066640460
04500

見本

トランジスタ技術 増刊

① MAX10 ② ライタ ③ DVD付き! FPGA電子工作スーパーキット

CQ出版

〒112-8619 東京都文京区千石4-29-14
TEL:03-5359-2141 (営業部)

定価: 本体4,500円+税