

訂正日	頁	章	場所	誤	正	備考
2016 04.18	42	2	図 10 エトキ	EQFP-144 ピン版には DCLK0 と DCLK1 はない。	EQFP-144 ピン版には DPCLK0 と DPCLK1 はない。	
2016 04.18	42	2	本文	<p>●グローバル・クロック・ネットワーク</p> <p>図 10 に MAX 10 (10M08) のグローバル・クロック・ネットワークを示します。GCLK がチップ全体に行き渡っているグローバル・クロック・ネットワークです。GCLK ラインは、外部端子 CLKxx から供給されるクロックをチップ全体に供給したり、外部端子 DCLKn から供給されるクロック・イネーブルやリセット信号のようなファンアウト数が多い制御信号の伝搬にも使えます。</p> <p>さらに、内部論理が生成したクロック信号や非同期リセット信号、クロック・イネーブル信号などの制御信号のファンアウト数が多い場合は GCLK ラインに入力してチップ全体に供給することができます。</p>	<p>●グローバル・クロック・ネットワーク</p> <p>図 10 に MAX 10 (10M08) のグローバル・クロック・ネットワークを示します。GCLK がチップ全体に行き渡っているグローバル・クロック・ネットワークです。GCLK ラインは、クロック信号だけでなく、クロック・イネーブルやリセット信号など、ファンアウト数が多い制御信号の伝搬にも使え、外部端子 CLKxx(専用端子)や DPCLKxx(兼用端子)から駆動できます。</p> <p>さらに、内部論理が生成したクロック信号や非同期リセット信号、クロック・イネーブル信号などの制御信号のファンアウト数が多い場合は GCLK ラインに入力してチップ全体に供給することができます。</p>	
2016 04.18	64	3	写真 2	<p>CN1、CN2 がピン・ソケットになっていた。本書の想定では CN1、CN2 はピン・ヘッダである。</p>	<p>CN1、CN2 を ピン・ヘッダ に訂正する。</p>	
2016 04.18	65	3	写真 3(b)	CN1、CN2 の引き出し説明がピン・ソケットになっていた。本書の想定では CN1、CN2 はピン・ヘッダである。	CN1、CN2 の引き出し説明を「 ピン・ヘッダ 20ピン×1列 」に訂正する。	

訂正日	頁	章	場所	誤	正	備考
2016 05.08	77	4	本文 右段(8)	(8) 基板表面に電解コンデンサ C1 と C3 (共に 10 μ F) の 2 個を実装する。極性があるので注意のこと。いずれも CN1 寄りの穴がマイナス極 (部品のリー ドが短い方) である。	(8) 基板表面に電解コンデンサ C1 と C3 (共に 47 μ F) の 2 個を実装する。極性があるので注意のこと。いずれも CN1 寄りの穴がマイナス極 (部品のリー ドが短い方) である。	